

РОСЖЕЛДОР
Федеральное государственное бюджетное образовательное учреждение
высшего образования
Ростовский государственный университет путей сообщения
(ФГБОУ ВО РГУПС)
Лиховской техникум железнодорожного транспорта
(ЛиТЖТ – филиал РГУПС)

**ДОКУМЕНТ ПОДПИСАН
ЭЛЕКТРОННОЙ ПОДПИСЬЮ**

Сертификат 41085aad477861a681676be74f996ebe
Владелец Полухина Виктория Ивановна
Действителен с 20.04.2023 до 13.07.2024

**ФОНД
ОЦЕНОЧНЫХ СРЕДСТВ**

по дисциплине
ОП.08. ЦИФРОВАЯ СХЕМОТЕХНИКА

для специальности:

27.02.03 Автоматика и телемеханика на транспорте
(железнодорожном транспорте)

г. Каменск-Шахтинский

г.

на заседании ЦМК ОПД и ПМ
специальности 27.02.03
протокол от 19.06.2023 №1

Л.В. Пешина

Заместитель директора по УР
В.И. Полухина

19.06.2023

2

Содержание

1. Паспорт фонда оценочных средств	4
2. Результаты освоения учебной дисциплины, подлежащие проверке ...	4
3. Оценка освоения учебной дисциплины	6
3.1. Описание системы оценивания.....	6
3.2. Перечень оценочных средств.....	7
3.3. Формы и методы оценивания	9
4. Задания для оценки освоения учебной дисциплины.....	13
4.1. Задания для текущего контроля.....	13
4.2. Задания для проведения рубежного контроля.....	35
4.3. Фонд оценочных средств для проведения промежуточной аттестации (экзамен).....	38

1. Паспорт фонда оценочных средств на весь срок изучения дисциплины

Фонд оценочных средств (далее – ФОС) предназначен для контроля и оценки образовательных достижений обучающихся, освоивших программу учебной дисциплины ОП.08. Цифровая схемотехника

ФОС включает контрольные материалы для проведения текущего контроля, рубежного и промежуточного контроля разработан на основе Федерального государственного образовательного стандарта среднего профессионального образования по специальности 27.02.03 «Автоматика и телемеханика на транспорте (железнодорожном транспорте)» примерной программы учебной дисциплины ОП.09. Цифровая схемотехника.

В структуре основной профессиональной образовательной программы данная дисциплина относится к циклу ОПД и ПМ специальности 27.02.03.

Формой промежуточной аттестации по учебной дисциплине является **экзамен.**

2. Результаты освоения учебной дисциплины, подлежащие проверке

Контроль и оценка результатов освоения учебной дисциплины осуществляется в процессе проведения практических и лабораторных занятий, тестирования, а также выполнения обучающимися индивидуальных заданий и экзамена.

В результате освоения учебной дисциплины обучающейся должен **уметь:**

У1.использовать типовые средства вычислительной техники и программного обеспечения;

У2.проводить контроль и анализ процесса функционирования цифровых схемотехнических устройств по функциональным схемам.

знать:

З1. виды информации и способы ее представления в ЭВМ;

З2. алгоритмы функционирования цифровой схемотехники.

В результате изучения дисциплины Цифровая схемотехника обучающиеся должны овладеть следующими компетенциями:

Общие компетенции

ОК 01.	Выбирать способы решения задач профессиональной деятельности применительно к различным контекстам;
ОК 02.	Использовать современные средства поиска, анализа и интерпретации информации и информационные технологии для выполнения задач профессиональной деятельности;
ОК 03.	Планировать и реализовывать собственное профессиональное и личностное развитие, предпринимательскую деятельность в профессиональной сфере, использовать знания по финансовой грамотности в различных жизненных ситуациях;
ОК 04.	Эффективно взаимодействовать и работать в коллективе и команде;
ОК 05.	Осуществлять устную и письменную коммуникацию на государственном языке Российской Федерации с учетом особенностей социального и культурного контекста;
ОК 06.	Проявлять гражданско-патриотическую позицию, демонстрировать осознанное поведение на основе традиционных общечеловеческих ценностей, в том числе с учетом гармонизации межнациональных и межрелигиозных отношений, применять стандарты антикоррупционного поведения;
ОК 09.	Пользоваться профессиональной документацией на государственном и иностранном языках.

Профессиональные компетенции

ПК 1.1	Анализировать работу станционных, перегонных, микропроцессорных и диагностических систем автоматики по принципиальным схемам
--------	--

ЛР 1. Осознающий себя гражданином и защитником великой страны.

ЛР2. Проявляющий активную гражданскую позицию, демонстрирующий приверженность принципам честности, порядочности, открытости, экономически активный и участвующий в студенческом и территориальном самоуправлении, в том числе на условиях добровольчества, продуктивно взаимодействующий и участвующий в деятельности общественных организаций;

ЛР 3. Соблюдающий нормы правопорядка, следующий идеалам гражданского общества, обеспечения безопасности, прав и свобод граждан России. Лояльный к установкам и проявлениям представителей субкультур, отличающий их от групп с деструктивным и девиантным поведением. Демонстрирующий неприятие и предупреждающий социально опасное поведение окружающих;

ЛР 4. Проявляющий и демонстрирующий уважение к людям труда, осознающий ценность собственного труда. Стремящийся к формированию в сетевой среде лично и профессионального конструктивного «цифрового следа»

ЛР 7. Осознающий приоритетную ценность личности человека; уважающий собственную и чужую уникальность в различных ситуациях, во всех формах и видах деятельности;

ЛР 24. Ценностное отношение обучающихся к культуре, и искусству, к культуре речи и культуре поведения, к красоте и гармонии;

ЛР 27. Осознающий единство пространства Ростовской области какединой среды обитания всех населяющих ее национальностей и народов, определяющей общность их исторических судеб; уважающий религиозныеубеждения, традиции и культуру народов, проживающих на территории области;

3. Оценка освоения учебной дисциплины

3.1. Описание системы оценивания.

Предметом оценки служат знания и умения, предусмотренные ППССЗ по дисциплине ОП.08. Цифровая схемотехника, направленные на формирование профессиональных и общих компетенций.

Текущая, рубежная и промежуточная аттестации студентов по дисциплине проводятся в соответствии с существующими нормативными документами и являются обязательными.

Текущая аттестация по дисциплине проводится в форме контрольных мероприятий по оцениванию фактических результатов обучения студентами дисциплины.

Объектами оценивания выступают:

- учебная дисциплина (активность на занятиях, своевременность выполнения различных видов заданий, посещаемость всех видов занятий по аттестуемой дисциплине);
- степень усвоения теоретических знаний;
- уровень овладения практическими умениями и навыками по всем видам учебной работы;
- результаты самостоятельной работы.

Текущий контроль должен обеспечивать количественную оценку знаний, умений и навыков студентов и отражаться в учебном журнале

Рубежный контроль – это проверка уровня усвоения очередного раздела или темы по дисциплине. Проводится в виде тестирования и выполнения 2-х контрольных работ.

Задания должны быть адекватны этапу познавательной деятельности обучаемых, каждому элементу структуры которой может соответствовать серия из нескольких заданий. Рубежный контроль может служить в качестве своеобразного входного контроля для допуска к изучению последующего материала и поддержки уровня знаний при больших перерывах в работе.

Промежуточная аттестация в форме экзамена проводится после сдачи всех заданий текущей и рубежной аттестации.

К экзамену допускаются студенты, не имеющие задолженности по изучаемым темам при условии выполнения всех практических и лабораторных занятий. При явке на экзамен (по окончании изучения дисциплины) студентам необходимо иметь зачетную книжку. Шкала оценок: «отлично», «хорошо», «удовлетворительно», «неудовлетворительно».

Студенты, не сдавшие экзамен в установленное время по уважительной причине, подтвержденной документально соответствующим документом, сдают экзамен индивидуально, в сроки, установленные отделением.

3.2 Перечень оценочных средств

Таблица 1

№ п/п	Формы оценивания	Общая характеристика формы оценивания	Способ представления формы оценивания в фонде оценочных средств
1	2	3	4
1	Устный опрос (УО)	Цель устного опроса – оценить знания и кругозор студента, умение логически построить ответ, владение монологической и диалогической речью, уровень развития мышления. Обучающая функция устного опроса состоит в выявлении вопросов, которые по каким-то причинам оказались недостаточно осмысленными в ходе учебных занятий и при подготовке к зачёту или экзамену, и определении способов коррекции пробелов в знаниях и умениях студентов. Устный опрос может осуществляться в различных видах (индивидуальный, групповой, фронтальный, комбинированный)	Тема опроса. Вопросы для индивидуального опроса.
2	Письменный опрос (ПО)	Письменный ответ – важнейший способ точного, лаконичного, связного изложения мысли, собственной точки зрения. Письменная проверка используется во всех видах контроля и осуществляется как в аудиторной, так и во внеаудиторной работе. Письменные работы могут включать: диктанты, тесты, контрольные работы, эссе, рефераты, курсовые работы, отчеты по практическим занятиям, отчеты по учебно-исследовательской работе студентов.	Варианты заданий
3	Контрольная работа (КР)	Письменные контрольные работы – одно из средств опроса, которое осуществляется с целью проверки знаний всех студентов по данной теме; стимулирования непрерывной систематической работы студентов; формирования умений в письменном виде сжато излагать материал. Различают несколько видов контрольных работ: обязательные, домашние, текущие, экзаменационные,	Варианты заданий.

		практические, фронтальные и индивидуальные. Контрольные работы проводятся, как правило, после завершения изучения темы или раздела (модуля) и содержат задания различных типов и уровней сложности. Во время проверки и оценки контрольных письменных работ проводится анализ результатов выполнения, выявляются типичные ошибки, а также причины их появления.	
4	Тест (Т)	Педагогический тест определяется как система параллельных стандартизированных заданий равномерно возрастающей трудности, специфической формы, позволяющая качественно и эффективно измерить уровень и оценить структуру подготовленности обучающихся. По степени однородности задач тесты делятся на: <i>гомогенные</i> , предназначенные для контроля знаний и умений по одной дисциплине; <i>гетерогенный</i> , предназначенный для измерения уровня подготовленности по нескольким учебным дисциплинам, междисциплинарным курсам и профессиональным модулям.	Образцы и варианты тестовых заданий. Критерии оценки. Шкала оценивания. Формы оценочных листов.
5	Практические (лабораторные) занятия (ПР) (ЛР)	Практическое задание - это задание, с помощью которых у студентов формируются и развиваются правильные практические действия, четкое и ясное задание по конкретной предметной области, требующее однозначно определяемого ответа или выполнения определенного алгоритма действий.	Темы практических заданий и отчеты о ПР(ЛР)

3.3 Формы и методы оценивания

Элемент учебной дисциплины	Формы и методы контроля					
	Текущий контроль		Рубежный контроль		Промежуточная аттестация	
	Форма контроля	Проверяемые ПК, ОК, У, З	Форма контроля	Проверяемые ПК, ОК, У, З	Форма контроля	Проверяемые ПК, ОК, У, З
Раздел 1 Арифметические основы цифровой схемотехники			ТЕСТ№1	У1.,У2. ,31.,32, ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9 ПК1.1		
Тема 1.1. Формы представления числовой информации в цифровых устройствах	УО,	У1.,У2. ,31.,32, ОК 1,2				
Кодирование целых, дробных и смешанных чисел в различных системах счисления	ПР №1	У1.,У2. ,31 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9				
Кодирование положительных и отрицательных двоичных чисел в прямом, обратном, дополнительном и модифицированном кодах со знаковым и без знакового разряда.	ПР №2	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9				
Тема 1.2. Арифметических операций с кодированными числами	УО	У2, 31-32 ОК 1,2				
Выполнение арифметических операций с многоразрядными двоичными кодированными числами со знаковым и без знакового разряда.	ПР№3	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9				
Раздел 2 Логические основы цифровой схемотехники			ТЕСТ№2	У1.,У2. ,31.,32,		

				ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9 ПК1.1		
Тема 2.1 Функциональная логика	УО	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9				
Преобразование логических выражений	ПР № 4	У2, 31-32 ОК 1,2				
Тема 2.2 Основы синтеза цифровых логических устройств	УО	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9 ПК1.1				
Построение схем цифровых логических устройств методом синтеза.	УО, ПР №5	У2, 31-32 ОК 1,2 ПК1.1				
Тема 2.3 Цифровые интегральные микросхемы	УО	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9 ПК1.1				
Раздел 3 Последовательностные цифровые устройства – цифровые автоматы			ПО	ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9		
Тема 3.1 Цифровые триггерные схемы	ЛР №1,	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6,ОК9 ПК1.1				
Тема 3.2 Цифровые счётчики импульсов	ЛР №2	У2, 31-32 ОК 1,2 ПК1.1				

Тема 3.3 Регистры	ЛР №3	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6, ОК9 ПК1.1				
Раздел 4 Комбинационные цифровые устройства						
Тема 4.1 Шифраторы и дешифраторы	ЛР №5	У2, 31-32 ОК 1,2 ПК1.1				
Тема 4.2 Преобразователи кодов						
Тема 4.3 Мультиплексоры и демультиплексоры	ЛР №6	У2, 31-32 ОК 1,2 ПК1.1				
Тема 4.4 Комбинационные двоичные сумматоры	ЛР №7	У2, 31-32 ОК 1,2 ПК1.1				
Тема 4.5 Цифровые компараторы		У2, 31-32 ОК 1,2 ПК1.1				
Раздел 5 Цифровые запоминающие устройства			ПО			
Тема 5.1 Классификация и параметры запоминающих устройств						
Тема 5.2 Оперативные запоминающие устройства						
Тема 5.3 Постоянные запоминающие устройства						
Раздел 6 Аналого-цифровые (АЦП) и цифро-аналоговые преобразователи (ЦАП) информации						
Тема 6.1 Цифро-аналоговые преобразователи (ЦАП) кода в						

напряжение						
Тема 6.2 Аналого-цифровые (АЦП) преобразователи информации	ЛР №7	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6, ОК9 ПК1.1				
Раздел 7 Микропроцессоры и микропроцессорные устройства						
Тема 7.1 Общие сведения о микропроцессорах и микропроцессорных системах						
Тема 7.2 Микропроцессорные устройства						
Материал по всему курсу дисциплины					Экзамен	У2, 31-32 ОК.1, ОК.2, ОК3, ОК4, ОК5, ОК6, ОК9 ПК1.1

4. Задания для оценки освоения учебной дисциплины

4.1. Задания для текущего контроля

Вопросы для проведения устного опроса УО

По теме 1.1 «Формы представления числовой информации в цифровых устройствах»

1. По каким причинам наибольшее распространение в ЭВМ получила двоичная система счисления?
2. Какие системы счисления используются в ЭВМ?
3. Поясните сущность позиционных систем счисления.
4. Сформулируйте общие правила перевода целых и дробных чисел из одной системы счисления в другую.
5. Форма числа с фиксированной запятой.
6. Форма числа с плавающей запятой.

По теме 1.2 «Арифметических операций с кодированными числами»

1. Изображение числа в прямом коде.
2. Изображение числа в обратном коде.
3. Изображение числа в дополнительном коде.
4. Почему в ЭВМ не выполняется операция вычитания чисел в непосредственном виде.

По теме 2.1 «Функциональная логика»

1. Определите понятие логической переменной и логической функции.
2. Сколько логических функций существует для n логических переменных?
3. Какими свойствами обладают логические функции дизъюнкции, конъюнкции и отрицания?
4. Каким образом представляется логическая функция?
5. Приведите соотношения, отражающие основные законы алгебры логики.
6. Сформулируйте правила образования ДСНФ.
7. Сформулируйте правила образования КСНФ.

Практические работы для проведения текущего контроля (ПР)

Практическое занятие №1

Кодирование целых, дробных и смешанных чисел в различных системах счисления

Цель: научиться кодировать числа в различных системах счисления.

Оборудование: раздаточный материал.

Краткие теоретические сведения

Арифметические действия, выполняемые в двоичной системе, подчиняются тем же правилам, что и в десятичной системе. Только в двоичной системе счисления перенос единиц в старший разряд возникает чаще, чем в десятичной. Вычитание многоразрядных двоичных чисел производится с учетом возможных заёмов из старших разрядов. Действия умножения и деления в двоичной арифметике можно выполнять по общепринятым для позиционных систем правилам.

Сложение двоичных чисел. Способ сложения столбиком такой же, как и для десятичного числа. То есть, сложение выполняется поразрядно, начиная с младшего. Если получается больше 1, то записывается 0 и 1 добавляется к старшему разряду. Вот так выглядит таблица сложения в двоичной системе:

Таблица 1 Сложение двоичных чисел

0+0=0	0+1=1
1+0=1	1+1=10 (перенос в старший разряд)

Пример 1: $10011 + 10001$.

	1	0	0	1	1
	1	0	0	0	1
1	0	0	1	0	0

Переведём все три числа в десятичную систему и проверим правильность сложения.

$$10011 = 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 16 + 2 + 1 = 19$$

$$10001 = 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 16 + 1 = 17$$

$$100100 = 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 32 + 4 = 36$$

$$17 + 19 = 36 \text{ верное равенство}$$

Вычитание двоичных чисел. Вычитание выполняется поразрядно и если в разряде не хватает единицы, то она занимается в старшем.

Пример 2:

	1	1	0	1
-		1	1	0
		1	1	1

Первый разряд. $1 - 0 = 1$. Записываем 1.

Второй разряд $0 - 1$. Не хватает единицы. Занимаем её в старшем разряде. Единица из старшего разряда переходит в младший, как две единицы (потому что старший разряд представляется двойкой большей степени) $2 - 1 = 1$. Записываем 1.

Третий разряд. Единицу этого разряда мы занимали, поэтому сейчас в разряде 0 и есть необходимость занять единицу старшего разряда. $2 - 1 = 1$. Записываем 1.

Проверим результат в десятичной системе:

$$1101 - 110 = 13 - 6 = 7 \text{ (111) Верное равенство.}$$

Умножение в двоичной системе счисления. Таблица умножения для двоичных чисел ещё проще, чем для сложения.

Таблица 1 Умножение двоичных чисел

$0 * 0 = 0$	$0 * 1 = 0$
$1 * 0 = 0$	$1 * 1 = 1$

Для того, чтобы умножить двоичное число на 2 (десятичная двойка это 10 в двоичной системе) достаточно к умножаемому числу слева приписать один ноль.

Пример 3: $10101 * 10 = 101010$

Проверка.

$$10101 = 1 * 2^4 + 0 * 2^3 + 1 * 2^2 + 0 * 2^1 + 1 * 2^0 = 16 + 4 + 1 = 21$$

$$101010 = 1 * 2^5 + 0 * 2^4 + 1 * 2^3 + 0 * 2^2 + 1 * 2^1 + 0 * 2^0 = 32 + 8 + 2 = 42$$

$$21 * 2 = 42$$

Умножение - это ряд последовательных сдвигов. Общее правило таково: как и для десятичных чисел, умножение двоичных выполняется поразрядно. И для

каждого разряда второго множителя к первому множителю добавляется один ноль справа. Пример 4:(пока не столбиком):

$1011 * 101$ Это умножение можно свести к сумме трёх поразрядных умножений:

$1011 * 1 + 1011 * 0 + 1011 * 100 = 1011 + 101100 = 110111$ В столбик это же самое можно записать так:

		1	0	1	1
	*		1	0	1
		1	0	1	1
+	0	0	0	0	
1	0	1	1		
1	1	0	1	1	1

Проверка:

$101 = 5$ (десятичное) $1011 = 11$ (десятичное)

$110111 = 55$ (десятичное) $5 * 11 = 55$ верное равенство

Порядок выполнения

1. Выполнить арифметическую операцию сложения в двоичной системе.
2. Выполнить арифметическую операцию вычитания в двоичной системе.
3. Выполнить арифметическую операцию умножения в двоичной системе.
4. Ответить на контрольные вопросы.

Содержание отчёта

1. Номер, название и цель практической работы.
2. Сложение, вычитание и умножение чисел в двоичной системе.
3. Вывод.

Контрольные вопросы

1. С какого разряда начинается сложение?
2. В каком разряде занимается единица при вычитании?
3. Как производится перевод чисел из десятичной системы в двоичную.

Практическое занятие №2

Кодирование положительных и отрицательных двоичных чисел в прямом, обратном, дополнительном и модифицированном кодах со знаковым и без знакового разряда

Цель: научиться кодировать числа в различных кодах.

Оборудование: раздаточный материал.

Краткие теоретические сведения

Минимизация (упрощение) булевой функции – это такие тождественные преобразования её формулы, которые приводят к предельному уменьшению числа вхождений аргументов. В результате преобразований получается минимальная форма. Если ограничиться функцией четырех переменных аргументов, то для минимизации эффективней пользоваться картами Карно. Для этого достаточно научиться находить на карте группы единиц, которым соответствуют простые импликанты. Правила их нахождения просты:

а) два минтерма склеиваются, если они являются соседними, т. е. расположенными рядом (но не на диагонали) либо на концах строки или столбца. На рис. 1 обведены склеивающиеся минтермы 11 и 15, 3 и 11; склеиваются также минтермы 4 и 12, 8 и 12;

В

1			1
	1		
	1	1	
1			

Рис. 1

1		1	
1		1	
1		1	
1		1	

Рис. 2

1	1	1	1
		1	
		1	
		1	

Рис. 3

б) четыре единицы на карте объединяются и образуют одну конъюнкцию, если они расположены в строку или столбец, а также квадратом. На рис. 2 слева единицы дают конъюнкцию AC , остальные – AC . На рис. 3 единицы, расположенные в строку, образуют конъюнкцию BD , в колонку – AC . На рис. 4 единицы расположены квадратами: AB и AB . На рис. 5 единицы также образуют квадрат BC , в чём можно убедиться, если карту свернуть в трубку так, чтобы её левая и правая стороны совпали. Аналогично на рис. 6 единицы дают квадрат AD , если карту свернуть в цилиндр вокруг горизонтальной оси. Если же карту свернуть в цилиндр вокруг горизонтальной и вертикальной осей одновременно, то придётся признать, что размещение четырёх единиц по углам карты также есть квадрат, образующий конъюнкцию CD (рис. 7);

1	1		
1	1		

		1	1
		1	1

Рис. 4

1			1
1			1

Рис. 5

		1	1
		1	1

Рис. 6

в) восемь единиц на карте объединяются, если все они расположены в зоне, относящейся к какой-либо букве или её инверсии. На рис. 8 восемь единиц объединяются, так как занимают всю зону буквы С, поэтому дизъюнкцию соответствующих восьми минтермов можно заменить буквой С. На рис. 9 единицами занята вся область буквы D, на рис. 10 - А.

1			1
1			1

Рис.7

	1	1	
	1	1	
	1	1	
	1	1	

Рис. 8

1	1	1	1
1	1	1	1

Рис. 9

		1	1
		1	1
		1	1
		1	1

Рис. 10

Теперь можно переходить к отысканию простых импликант. Пусть задана функция: $f = (0,1,3,6,7,8,12,13,14,15)$.

Нанесём её на карту Карно (рис. 11).

1	1	1	
1	1	1	
		1	1
1			1

Рис.11

Начнём с нулевого минтерма. Он объединяется с минтермом m_1 , поскольку единицы являются соседними. Получим первую простую импликанту ABC. Минтерм m_0 является соседним и по отношению к минтерму m_8 , что дает простую импликанту BCD.

Минтерм m_1 объединяется и с минтермом m_0 и m_3 . Получаем две простые импликанты ABD и ABC. Импликанту ABC вторично не записываем. Новой является только простая импликанта ABD.

Переходим к минтерму m_3 . У него также два варианта склеивания – с минтермами m_1 и m_7 . Новой является импликанта ACD.

Минтерм m_6 входит в группу единиц, расположенных квадратом.

Поэтому простой импликантой будет конъюнкция BC, но такие импликанты, как BCD и ABC не являются простыми.

Седьмой минтерм имеет три соседние единицы. Однако новых простых импликант он не даёт, поскольку объединение его с минтермом m_3 есть простая импликанта ACD, которая уже была записана ранее, а импликанты ABC и BCD не являются простыми, так как минтерм m_7 входит в квадрат единиц, также рассмотренный ранее.

Минтерм m_{12} входит в квадрат единиц, дающих конъюнкцию AB. Это новая простая импликанта. Кроме того, минтерм m_{12} является соседним по отношению к минтерму m_8 , что даёт новую простую импликанту ACD. Минтерм m_{13} новых импликант не даёт. Минтерм m_{14} входит в два квадрата: AB и BC. Новых импликант нет. То же самое относится к минтерму m_{15} .

Таким образом, найдены все простые импликанты, дизъюнкция которых образует сокращённую дизъюнктивную нормальную форму:

$$F = ABC + BCD + ABD + ACD + BC + ACD + AB$$

Порядок выполнения

1. Минимизировать логические функции методом карт Карно.
2. Составить схему.
3. Ответить на контрольные вопросы.

Содержание отчёта

1. Номер, название и цель практической работы.
2. Схемы карт Карно.
3. Вывод.

Контрольные вопросы

1. Поясните принцип минимизации.
2. Что получается в результате минимизации.

Практическое занятие №3

Выполнение арифметических операций с многоразрядными двоичными кодированными числами со знаковым и без знакового разряда

Цель: научиться выполнять арифметические операции над кодированными числами.

Оборудование: раздаточный материал.

Краткие теоретические сведения

Прямой, обратный и дополнительный коды

При проектировании вычислительных устройств необходимо решить вопрос о способе представления в машине положительных и отрицательных чисел и о признаке переполнения разрядной сетки. Указанный вопрос решается применением специальных кодов для представления чисел. При помощи этих кодов операция вычитания (или алгебраического сложения) сводится к арифметическому сложению. В результате упрощаются арифметические устройства машин.

Для представления двоичных чисел в машине применяют прямой, обратный и дополнительный коды. Во всех этих кодах предусматривается дополнительный разряд для представления знака числа, причем знак «+» кодируется цифрой 0, а знак «—» — цифрой 1.

Положительные числа при прямом, обратном и дополнительном кодах имеют один и тот же вид, а отрицательные — различный.

Прямой код $(G)_{пр}$ двоичного числа $G = \pm 0, \gamma_1, \gamma_2, \dots, \gamma_n$ ($\gamma_i = 1$ или 0) определяется условиями:

G при $G \geq 0$

$(G)_{пр} =$

$(1 - G)$ при $G \leq 0$

Положительное двоичное число с запятой, фиксированной перед старшим разрядом,

$G^+ = + 0, \gamma_1, \gamma_2, \dots, \gamma_n$

в прямом коде представляется в виде:

$(G^+)_{пр} = 0, \gamma_1, \gamma_2, \dots, \gamma_n (1)$

Аналогично отрицательное двоичное число:

$G^- = - 0, \gamma_1, \gamma_2, \dots, \gamma_n (1a)$

в прямом коде представляется в виде:

$(G^-)_{пр} = 1, \gamma_1, \gamma_2, \dots, \gamma_n (2)$

Способы представления чисел (1) и (2) называются прямым кодом соответственно положительных и отрицательных двоичных чисел.

Сложение и вычитание в прямом, обратном и дополнительном кодах

Сложение в прямом коде чисел, имеющих одинаковые знаки, выполняется достаточно просто. Мантиссы складываются и сумме присваивается код знака слагаемых. Значительно более сложной является операция алгебраического сложения в прямом коде чисел с раз-

личными знаками. В этом случае приходится определять большое по модулю число, производить вычитание мантисс и присваивать разности знак большего (по модулю) числа. Таким образом, если положительные и отрицательные числа представлены в прямом коде, операции над кодами знаков и мантиссами выполняются отдельно.

Операция вычитания (алгебраического сложения) сводится к операции простого арифметического сложения при помощи обратного и дополнительного кодов, используемых для представления отрицательных

чисел в машине. При этом операция сложения распространяется и на разряды знаков, рассматриваемых как разряды целой части числа.

Чтобы представить двоичное отрицательное число (1а) в обратном коде, нужно поставить в знаковый разряд единицу, а во всех других разрядах заменить единицы нулями, а нули — единицами:

$$(G-) \text{ обр} = 1, \sigma_1, \sigma_2, \dots, \sigma_n \quad (3)$$

$$\sigma_i = 1 \text{ при } \gamma_i = 0 \text{ и } \sigma_i = 0 \text{ при } \gamma_i = 1.$$

При записи отрицательного числа в дополнительном коде ставят единицу в разряд знака, а цифровую часть числа заменяют дополнением модуля числа до целой единицы.

Отрицательное число $G- = -0, \gamma_1, \gamma_2, \dots, \gamma_n$ в дополнительном коде имеет вид:

$$(G-) \text{ доп} = 1, \varepsilon_1, \varepsilon_2, \dots, \varepsilon_n \quad (4)$$

где

$$0, \varepsilon_1, \varepsilon_2, \dots, \varepsilon_n = 1 - 0, \gamma_1, \gamma_2, \dots, \gamma_n \quad (4a)$$

Установим связь между самым отрицательным числом $G-$ и числами $(G-)\text{обр}$ и $(G-)\text{доп}$, представляющими его обратный и дополнительный коды.

Вычитая (1а) из (3), имеем:

$$(G-) \text{ обр} - G- = 1, \sigma_1, \sigma_2, \dots, \sigma_n - (-0, \gamma_1, \gamma_2, \dots, \gamma_n) = 1, 11\dots 1 = 2 - 2^{-n} \text{ (так как } \sigma_i + \gamma_i = 1)$$

Следовательно,

$$(G-) \text{ обр} = G- + 2 - 2^{-n} \quad (4b)$$

Вычитая (1а) из (4), имеем:

$$(G-) \text{ доп} - G- = 1, \varepsilon_1, \varepsilon_2, \dots, \varepsilon_n - (-0, \gamma_1, \gamma_2, \dots, \gamma_n) \quad (5)$$

Учитывая (4а), получаем:

$$(G-) \text{ доп} = G- + 2 \quad (5a)$$

Из (5) и (5а) следует:

$$(G-) \text{ доп} = (G-) \text{ обр} + 2^{-n}$$

где n — число разрядов в числе. Таким образом, дополнительный код может быть получен из обратного путем добавления к нему единицы младшего разряда.

Рассмотрим представление нуля. В процессе вычислений могут возникнуть «положительный» и «отрицательный» нули:

$$+ 0,00\dots 0 ; - 0,00\dots 0$$

Представление «положительного» нуля одинаково для прямого, обратного и дополнительного кодов:

$$(+ 0) \text{ пр} = 0,00\dots 0$$

Отрицательный ноль изображается: в прямом коде

$$(- 0) \text{ пр} = 0,00\dots 0$$

в обратном коде

$$(- 0) \text{ обр} = 1,11\dots 1$$

в дополнительном коде

$$(- 0) \text{ доп} = 1,11\dots 1 + 2^{-n} = 0,00\dots 0$$

так как перенос из разряда знака теряется.

Используя обратный или дополнительный код, можно операции вычитания и сложения чисел различных знаков свести к арифметическому сложению кодов чисел.

Рассмотрим использование обратного кода при алгебраическом сложении двух двоичных чисел G и Q , когда одно из них или оба числа отрицательны. Для этого случая может быть сформулировано следующее правило (предполагая, что модуль алгебраической суммы меньше единицы).

При алгебраическом сложении двух двоичных чисел с использованием обратного кода положительные слагаемые представляются в прямом коде, а отрицательные - в обратном и производится арифметическое суммирование этих кодов, включая разряды знаков, которые при этом рассматриваются как разряды целых единиц. При возникновении переноса из разряда знака единица переноса прибавляется к младшему разряду суммы кодов (такой перенос называется круговым или циклическим). В результате получается алгебраическая сумма в прямом коде, если эта сумма положительна, и в обратном коде, если она отрицательна.

Рассмотрим теперь использование дополнительного кода для алгебраического сложения. Приведем соответствующее правило (полагаем, что модуль алгебраической суммы меньше единицы).

При алгебраическом сложении двух двоичных чисел с использованием дополнительного кода положительные слагаемые представляются в прямом коде, а отрицательные — в дополнительном и производится арифметическое суммирование этих кодов, включая разряды знаков, которые при этом рассматриваются как разряды целых единиц. При возникновении переноса из разряда знака единица переноса отбрасывается. В результате получается алгебраическая сумма в прямом коде, если эта сумма положительна, и в дополнительном коде, если эта сумма отрицательна.

В самом деле, если $G^- < 0$ и $Q^- < 0$, то согласно (4b):

$$(G^-) \text{ доп} + (Q^-) \text{ доп} = G^- + 2 + G^- + 2 = 2 + (G^- + Q^- + 2)$$

Так как $-1 < G^- + Q^- < 0$, то величина, стоящая в скобках, меньше двух, но больше единицы. Двойка, стоящая вне скобки, образует перенос из разряда знака, который будет отброшен. В результате получаем:

$$(G^-) \text{ доп} + (Q^-) \text{ доп} = (G^- + Q^-) + 2 = (G^- + Q^-) \text{ доп}$$

$G^+ > 0$, а $Q^- < 0$, то

$$(G^+) \text{ пр} + (Q^-) \text{ доп} = (G^+ + Q^-) + 2$$

Если при этом $0 < G^+ + Q^- < 1$, то стоящая вне скобки двойка дает единицу переноса из разряда знака, которая отбрасывается. При этом получаем:

$$(G^+) \text{ пр} + (Q^-) \text{ доп} = (G^+ + Q^-) \text{ пр}$$

$$(G^+ + Q^- > 0)$$

Если же $-1 < G^+ + Q^- < 0$, то $(G^+ + Q^-) + 2 < 2$ и переноса из разряда знака не возникает. В этом случае:

$$(G^+) \text{ пр} + (Q^-) \text{ доп} = (G^+ + Q^-) \text{ доп}$$

$$(G^+ + Q^- < 0).$$

Применение дополнительного или обратного кода для представления отрицательных чисел упрощает операцию алгебраического сложения. Алгебраическое сложение чисел с разными знаками заменяется арифметическим сложением кодов, при этом автоматически получается код знака результата. Однако остается нерешенным вопрос о выработке признака переполнения разрядной сетки.

При сложении кодов теряется единица переноса из разряда целых единиц и результат ошибочно воспринимается как положительное число, меньшее единицы.

Отметим, что при алгебраическом сложении двух чисел G и Q , каждое из которых по модулю меньше единицы, может возникнуть переполнение разрядной сетки, но при этом модуль получаемой суммы всегда меньше двух. Это обстоятельство облегчает построение кодов, по виду которых можно судить о переполнении разрядной сетки.

Для получения признака переполнения разрядной сетки применяют модифицированные прямой, дополнительный и обратный коды. Эти коды отличаются от ранее рассмотренных кодов тем, что для представления знака используются два разряда.

При этом знак плюс обозначается 00, а знак минус — 11. При алгебраическом сложении чисел знаковые разряды рассматриваются как разряды целой части числа.

При возникновении переноса единицы из старшего разряда знака эта единица отбрасывается, если отрицательные числа представляются модифицированным дополнительным кодом, или производится циклический перенос в младший разряд мантиссы, если отрицательные числа изображаются модифицированным обратным кодом.

При алгебраическом сложении на переполнение разрядной сетки (модуль алгебраической суммы больше единицы) указывает несовпадение цифр в знаковых разрядах. Комбинации 01 в знаковых разрядах соответствует положительное число, а комбинации 10 — отрицательное число.

В этих случаях модуль суммы:

$$1 \leq |x| < 2$$

Отметим также особенности нормализации и выполнения сдвига для отрицательных чисел, представленных в дополнительном (обратном) коде.

У нормализованного положительного или отрицательного числа с мантиссой, изображаемой в прямом коде, цифра в старшем S -ичном разряде мантиссы должна быть отлична от нуля. Для отрицательных мантисс, представленных в обратном или дополнительном коде, условие нормализации $|q| \geq 1/S$ выполняется, если цифра в старшем S -ичном разряде мантиссы есть нуль.

В случае чисел с плавающей запятой комбинации 01 и 10 в знаковых разрядах мантиссы указывают на нарушение нормализации влево, а комбинации цифр 00 и 1 $\sigma s1$ ($\sigma s1 \neq 0$) в младшем знаковом разряде и старшем S -ичном цифровом разряде мантиссы сигнализируют о нарушении

нормализации вправо. Для восстановления нормализации производится сдвиг мантиссы вправо (или влево) на нужное число разрядов, при этом порядок увеличивается (уменьшается) на соответствующее число единиц,

Если отрицательные числа представляются в дополнительном (обратном) коде, сдвиг производится по особым правилам («модифицированный сдвиг»), с тем чтобы в результате сдвига дополнительного (обратного) кода числа x на m S -ичных разрядов получился дополнительный (обратный) код числа $S_m x$ или $S \cdot m x$ соответственно для сдвига влево или вправо.

При модифицированном сдвиге дополнительного (обратного) кода вправо в освобождающиеся старшие разряды мантиссы записываются единицы, а при сдвиге влево единицы записываются в освобождающиеся младшие разряды.

Деление в прямом, обратном и дополнительном кодах

Деление в вычислительной машине обычно сводится к выполнению последовательности вычитаний делителя сначала из делимого, а затем из образующихся в процессе деления частичных остатков и сдвига частичных остатков на один разряд влево.

Необходимо отметить, что в машинах, оперирующих над числами с запятой, фиксированной перед старшим разрядом, деление возможно только в одном случае, если делимое по модулю меньше делителя. В противном случае частное превышает единицу и выходит за пределы разрядной сетки числа. Если в результате вычитания выясняется, что делимое или очередной частичный остаток больше или равен делителю, то в очередной разряд частного записывается единица и полученный в результате вычитания частичный остаток сдвигается влево на один разряд. Если в результате вычитания выясняется, что делимое или очередной частичный остаток меньше делителя, то в очередной разряд частного записывается нуль, к полученной разрядности добавляется делитель, чтобы восстановить предыдущий частичный остаток, и результат сдвигается влево на один разряд. Метод выполнения деления, когда в случае получения отрицательного остатка при вычитании (частичный остаток меньше делимого) к нему прибавляется делитель, называется методом деления с восстановлением остатка.

Рассмотрим пример деления с восстановлением остатка (см. таблицу). Для выполнения операции вычитания будем использовать дополнительный код. Деление с восстановлением остатка требует в наиболее неблагоприятном случае трёх тактов для формирования одного разряда частного: такта вычитания, такта сложения и такта сдвига.

Рассмотренный метод носит название *деления с восстановлением остатка*.

Недостатком этого метода является необходимость введения специального третьего такта для восстановления остатка, который значительно замедляет ход вычисления.

Обычно в вычислительных машинах для деления широко используется другой метод, называемый методом *выполнения деления без восстановления остатка*. Этот метод основан на прямом копировании действий при ручном делении («в столбик»).

При этом методе, если результат вычитания получился отрицательный, частичный остаток не восстанавливается путём прибавления делителя, а на следующем шаге деления вместо вычитания делимого производится его прибавление к частичному остатку. Если результат при этом остался отрицательным, то в очередную цифру частного записывается нуль и на следующем шаге также выполняется сложение. Если результат сложения получился положительным, то в очередной разряд частного записывается единица и на следующем шаге производится вычитание.

Можно показать, что частичные остатки при делении без восстановления остатка получаются такими же, как и остатки после сдвига восстановленного остатка при делении с восстановлением остатка.

Действительно, поскольку сдвиг частичного остатка на один разряд влево эквивалентен умножению его на два, получим:

$$2a - b = 2(a - b) + b$$

где a – частичный остаток; b – делитель.

Аналогично:

$$2^n a = \{ \dots \{ (a - b)2 + b \} 2 + b \} 2 + \dots + b \}$$

Деление без восстановления остатка всегда требует для получения одной цифры частного только двух тактов: такта сложения или вычитания и такта сдвига. Тем самым скорость вычисления этим методом оказывается выше чем в методе деления с восстановлением остатка.

Деление правильных дробей выполняется также, как деление целых чисел. Разница же заключается в том, что делимое имеет, как правило, такую же длину, как и делитель. Однако можно предположить, что делимое имеет ещё n младших разрядов, равных 0. Тогда становится ясно, что алгоритм деления дробей ничем не отличается от алгоритма деления целых чисел.

Исходя из рассмотренных методов деления в вычислительных машинах наиболее скоростной и простой метод является метод деления без восстановления остатка, так как при использовании данного метода для получения одной цифры частного необходимо выполнить всего лишь два такта, в то время как в методе с восстановлением частичного остатка для получения одной цифры частного требуется три такта.

Практическая работа №5

Построение схем цифровых логических устройств методом синтеза.

Цель: научиться составлять аналитические выражения по табличному значению функции, строить схемы из элементарных логических элементов по заданному аналитическому выражению функции.

Продолжительность занятия 2 часа

Краткие теоретические положения:

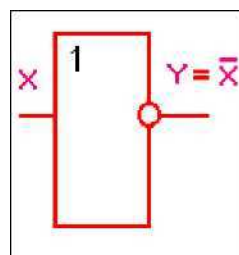
1. Логические элементы

Функция или инверсия

X	Y=f(X)
0	1
1	0

функции

Логический элемент НЕ



Логическое ИЛИ (логическое сложение, дизъюнкция): $Y = X1 + X2 = X1 \vee X2$

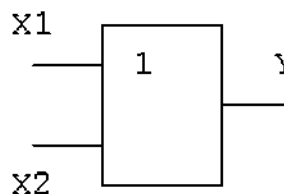
Таблица истинности логического

ИЛИ имеет вид:

X1	X2	Y=X1+X2
0	0	0
0	1	1
1	0	1
1	1	1

Логический элемент ИЛИ

обозначается на схемах следующим образом:



Логическое И (логическое умножение, конъюнкция): $Y = X1X2 = X1 \& X2$

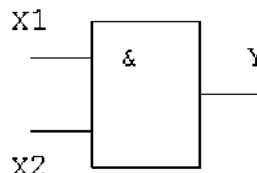
Таблица истинности логического И

имеет вид:

X1	X2	Y=X1X2
0	0	0
0	1	0
1	0	0
1	1	1

Логический элемент И

обозначается на схемах следующим образом:

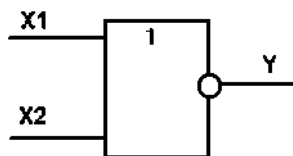


Функция ИЛИ-НЕ: $Y = (X1 + X2)$

Таблица истинности функции ИЛИ-НЕ имеет вид:

x_1	x_2	$y = x_1 \vee x_2$
0	0	0
0	1	1
1	0	1
1	1	1

Логический элемент ИЛИ-НЕ обозначается на схемах следующим образом:

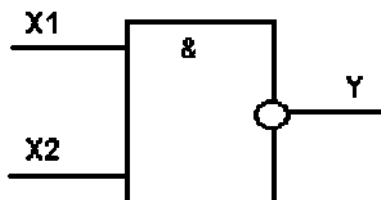


Функция И-НЕ: $y = \overline{x_1 \wedge x_2}$

Таблица истинности функции И-НЕ имеет вид:

x_1	x_2	$y = \overline{x_1 \wedge x_2}$
0	0	1
0	1	1
1	0	1
1	1	0

Логический элемент И-НЕ обозначается на схемах следующим образом:



2. Алгоритм построения логических схем.

1. Определить число логических переменных.
2. Определить количество базовых логических операций и их порядок.
3. Изобразить для каждой логической операции соответствующий ей вентиль.
4. Соединить вентили в порядке выполнения логических операций.

Пример 1. Составить логическую схему для логического выражения:

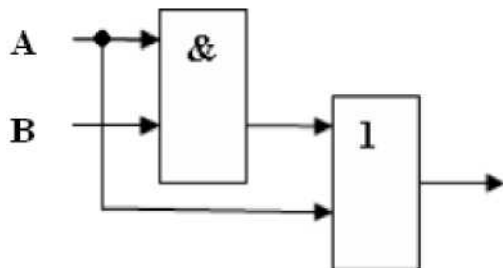
$P = A \vee B \& A$. Две переменные - A и B. Две логические

операции:

1-&,

2-у.

Строим схему:



Пример

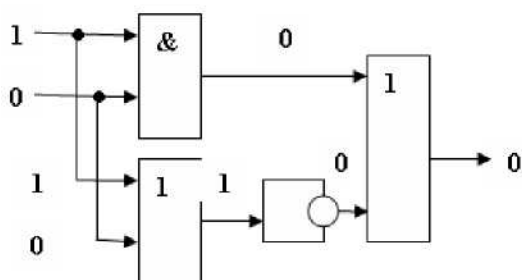
2.

Постройте логическую схему, соответствующую логическому выражению $E' = A \& BV$ (BVA). Вычислить значения выражения для $A=1, B=0$.

Переменных две: A и B ;

Логических операций три: $\&$ и две V ; $A \& BV$ ($BV A$).

Схему строим слева направо в соответствии с порядком логических операций:



3. Составление аналитического выражения функции и построение логической схемы по табличному заданию функции.

Синтез комбинационных устройств может быть произведен по табличному заданию функции по «0» и «1». Рассмотрим для примера синтез по «1». Для всех значений аргументов x_1, x_2, x_3 , где функция задана как «1» берется их конъюнкция, если аргумент равен «1», если же 0 - конъюнкция их инверсий. От полученных конъюнкций берется дизъюнкция.

Например, функция от трех аргументов задана следующей таблицей:

	x_1	x_2	x_3	y
1	0	0	0	0
2	0	0	1	1

3	0	1	0	0
4	0	1	1	0
5	1	0	0	0
6	1	0	1	0
7	1	1	0	0
8	1	1	1	1

Это значит, что при любых наборах аргументов x кроме второго и последнего, аргумент y будет равен 0. Составляем для второго

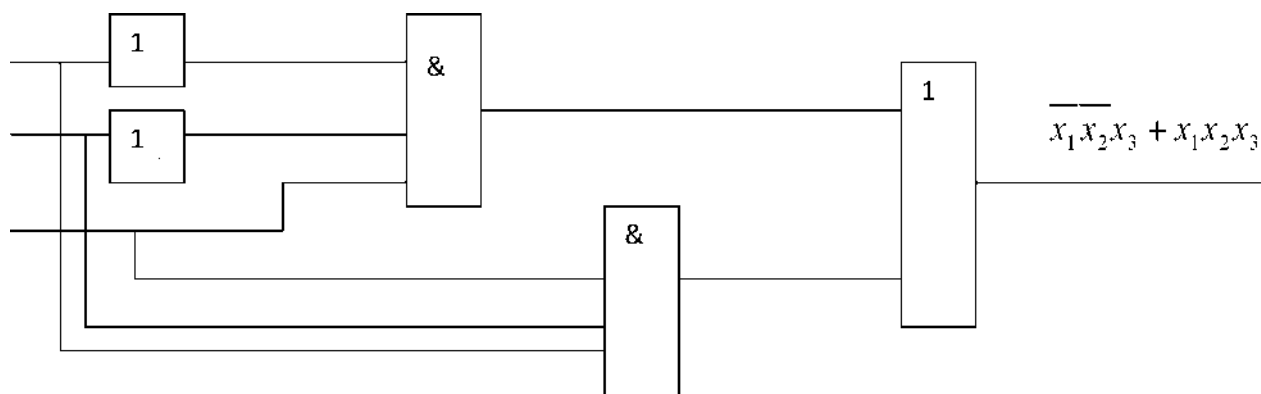
набора выражение: $x_1 \vee x_2 \vee x_3$.

Для последнего набора: $x_1 x_2 x_3$

Составим аналитическое выражение функции:

$$y = x_1 \vee x_2 \vee x_1 x_2 x_3$$

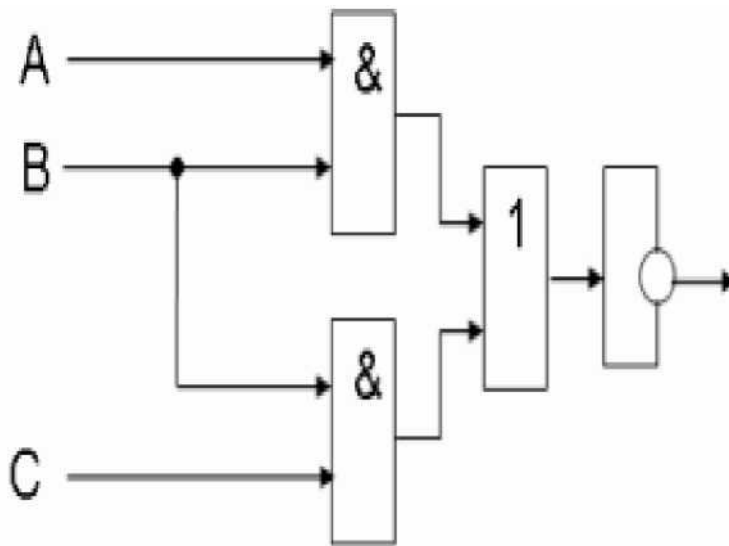
Схема должна содержать инверсию сигналов x_1, x_2 , две схемы «И» и одну двухвходовую схему «ИЛИ»



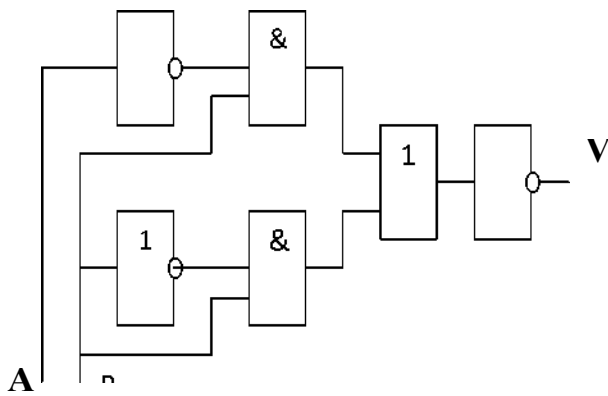
Последовательность выполнения:

Задание 1

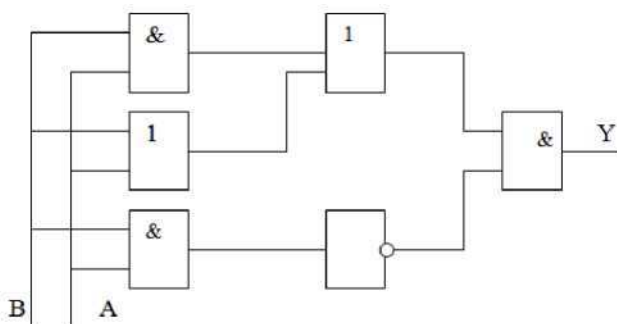
Записать логическую функцию, описывающую состояние логической схемы. Составить таблицу истинности.



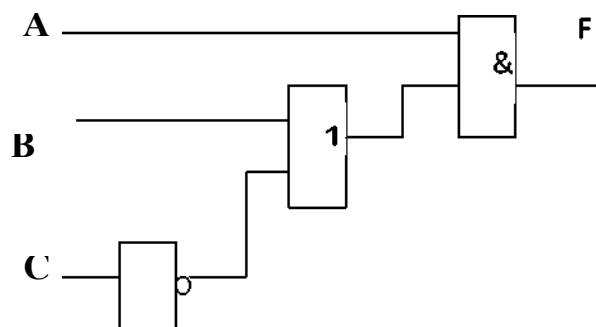
б)



в)



г)



Задание 2

Построить логические схемы по формулам и составить таблицу истинности

а) $P = (A \vee B) \wedge (C \vee B)$

б) $P = (A \wedge B \wedge C)$

в) $P = (X \wedge Y) \vee 2$

г) $P = X \wedge Y \vee 2$

Отчет содержит :

1. Цель работы
2. Исходные данные и результаты выполнения заданий

Контрольные вопросы:

1. Что изучает наука логика?
2. Перечислите и опишите известные вам формы мышления.
3. Опишите и составьте таблицы истинности для известных вам логических функций.
4. Нарисуйте условное обозначение и таблицы истинности для известных вам логических элементов.

Лабораторная работа №1

Исследование работы интегральных триггеров на логических элементах

Цель работы: Целью работы является экспериментальное исследование работы различных типов триггеров.

Задание к работе

1. Исследовать асинхронный RS-триггер

Сконфигурировать ПЛИС в соответствии с рисунком 1. Подключить к входам X0 и X1 переключатели S7 и S8, а к выходу Q светодиодный индикатор LED1. Для этого подключить входы и выходы триггера к соответствующим выводам ПЛИС.

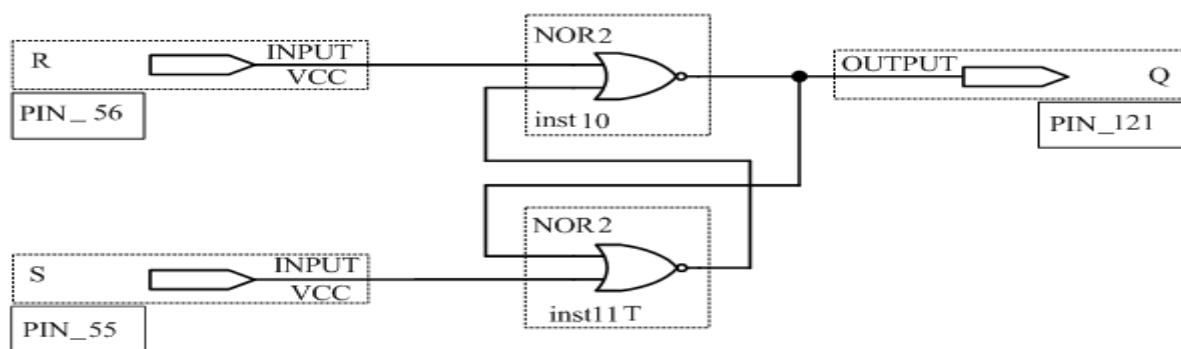


Таблица 1. Таблица переходов для асинхронного RS триггера на элементах "ИЛИ-НЕ"

R	S	Q(t)	Q(t+1)	Название режима работы триггера
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

2. Исследовать синхронный асинхронный RS-триггер

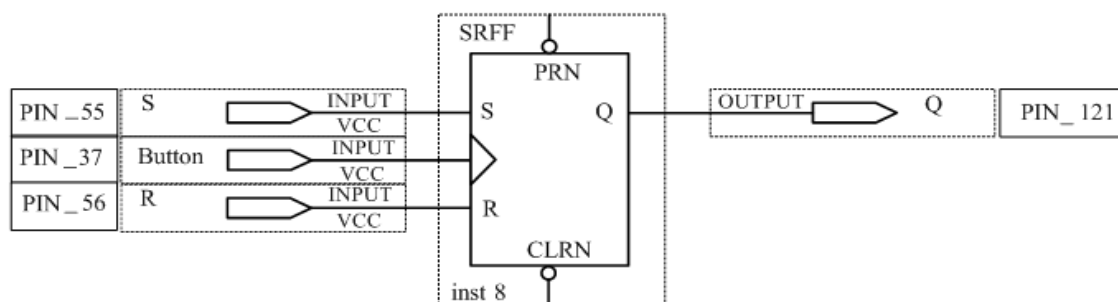


Таблица 2. Таблица переходов для синхронного RS триггера

R	S	C	Q(t)	Q(t+1)	Название режима работы триггера
0	0	1	0		
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	1	0		
1	0	1	1		
1	1	1	0		
1	1	1	1		
0	0	0	0		
0	0	0	1		
0	1	0	0		
0	1	0	1		
1	0	0	0		
1	0	0	1		
1	1	0	0		
1	1	0	1		

3. Исследовать D-триггер

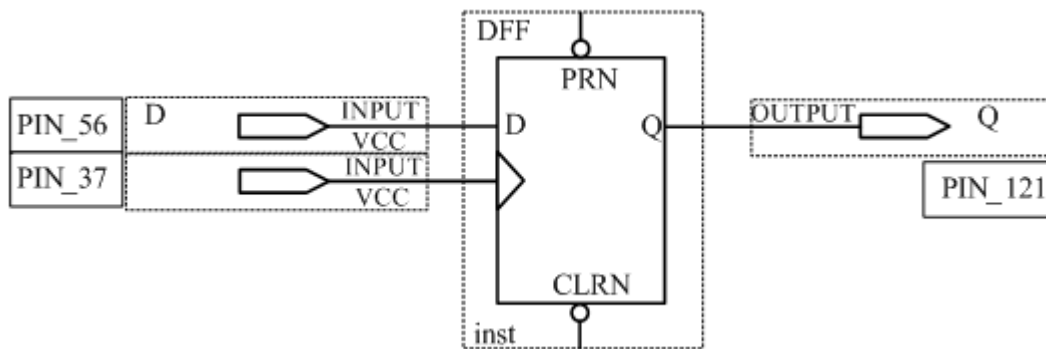


Таблица 3. Таблица переходов для синхронного D триггера

D	C	Q(t)	Q(t+1)
x	0	0	
x	0	1	
0	1	0	
0	1	1	
1	1	0	
1	1	1	

4 Исследовать синхронный T-триггер

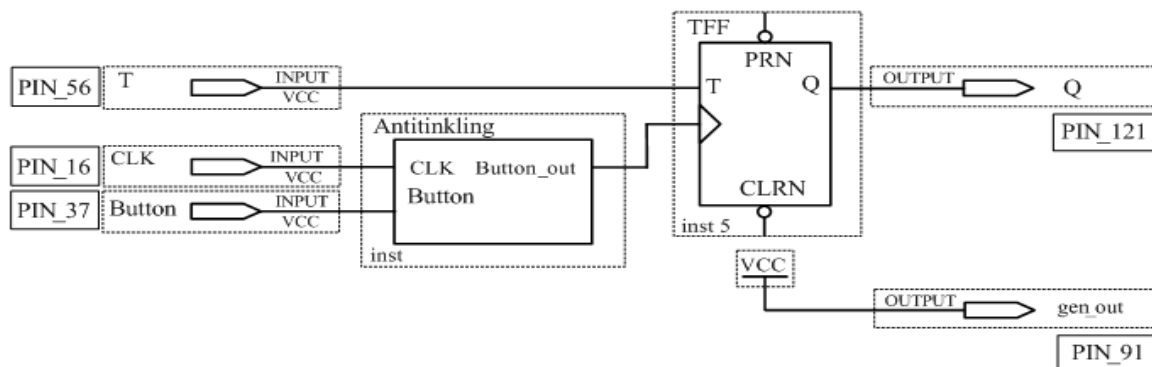


Таблица 4. Таблица переходов для синхронного T триггера

T	C	Q(t)	Q(t+1)	Q(t+2)	Q(t+3)	Q(t+4)	Q(t+5)
---	---	------	--------	--------	--------	--------	--------

1	1	0					
1	1	1					
0	1	0					
0	1	1					

5 Контрольные вопросы

1. Чем определяется быстродействие триггера?
2. Начертить схему RS-триггера на логических элементах "ИЛИ-НЕ" и пояснить принцип его работы.
3. Почему JK-триггер называется универсальным?

Лабораторная работа №2

Исследование функциональных схем счетчиков

Цель работы: Ознакомление с возможностями моделирования работы схем счетчиков.

1. Основные понятия.

Счётчик - это электронное устройство для подсчета количества импульсов. По мере поступления входных сигналов счётчик последовательно изменяет свои состояния в определённом для данного типа счётчика порядке.

Одной из наиболее распространенных операций, выполняемых в вычислительных устройствах цифровой обработки информации является подсчет числа сигналов импульсного или потенциального вида.

Счетчики широко применяются почти во всех цифровых устройствах автоматики и вычислительной техники. В ЦВМ счетчики и используются: для подсчета шагов программы, для подсчета циклов сложения и вычитания, при выполнении арифметических операций, для преобразования кодов, в делителях частоты и распределителях сигналов и т.д.

Классификация счетчиков по основным признакам:

- по системе счисления счетчики делятся на: двоичные, двоично-десятичные, десятичные, счетчики с основанием системы счисления неравным 2 и 10 /пересчетные схемы/.

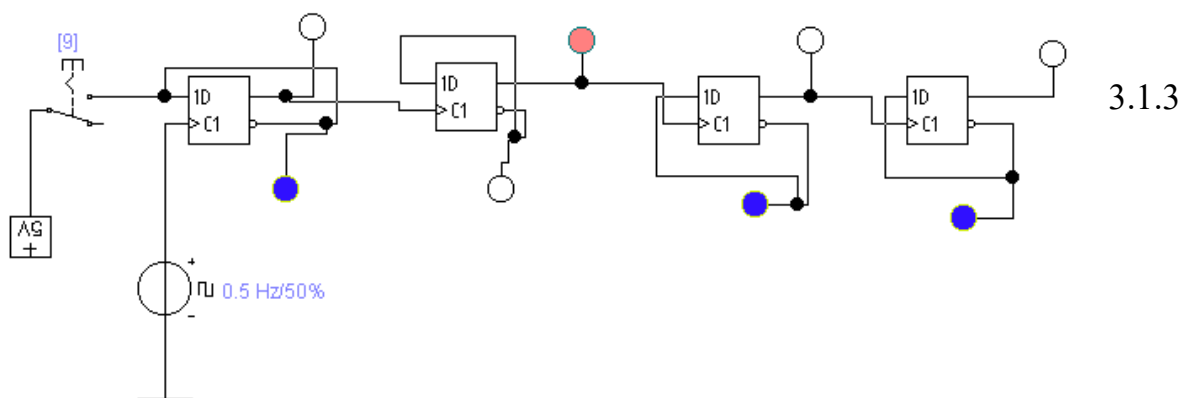
- по реализуемой операции счетчики подразделяются на: суммирующие, вычитающие и реверсивные.

Основные параметры счетчиков:

- Модуль счета или коэффициент пересчета счетчика « $K_{сч}$ » характеризует число /количество/ устойчивых состояний, в которых может находиться n-разрядный счетчик, т.е. предельное число входных сигналов, которое может быть подсчитано счетчиком.

3. Задание на выполнение лабораторной работы.

3.1. Составить схему асинхронного суммирующего счётчика на D-триггерах.



Пятивольтовый источник напряжения подсоединяется через переключатель к входу D1 триггера младшего (левого) разряда счетчика.

Для настройки управлением переключателя необходимо назначить клавишу для переключения данного переключателя. Для этого нужно двойным щелчком мыши кликнуть на изображении переключателя и меню настройки в форме КЕУ указать эту клавишу.

3.1.4 Инверсный выход триггера подключить к D-входу триггера,

чтобы обеспечить работу в счётном режиме. Такое соединение провести на всех триггерах всех разрядов.

3.1.5 К прямым выходам разрядов подключить семисегментный

индикатор с дешифратором.

3.2. Порядок проведения исследования работы

счетчиков.

3.2.1. Собрать четырёхразрядный асинхронный суммирующий счётчик на J-K триггерах. К прямым выходам триггеров подсоединить семисегментный индикатор и светодиодные индикаторы.

Исследовать и зарисовать временную диаграмму работы счётчика.

Переделать схему в вычитающий счётчик. Зарисовать временную диаграмму работы.

3.3.2 Составить схему суммирующего синхронного счётчика.

В основе схемы используются J-K триггеры. Из-за того, что в библиотечных триггерах J-K есть только один J и один K вход, необходимо реализовать логику управления старшими разрядами на внешних логических элементах. На синхровходы всех разрядов подать синхроимпульсы от генератора прямоугольных импульсов. На объединённые входы J и K младшего разряда подать счетным импульс от пятивольтового источника с помощью переключателя. Зарисовать временную диаграмму и пояснить с помощью светодиодов, в какой момент осуществляется передача счётного сигнала старшему разряду.

4. Содержание отчета.

1. Схемы, моделирующие работу счётчиков по всем пунктам задания.
2. Временные диаграммы, поясняющие работу счётчиков.
3. Проанализировать работу счётчиков с помощью цифрового индикатора (по выбору).

5. Контрольные вопросы.

1. Назначение счётчиков в вычислительных устройствах.
2. Признаки классификации счётчиков.
3. Коэффициент пересчёта счётчика.
4. Чем определяется максимальная частота поступления входных сигналов на счётчик?
5. Какое свойство J-K триггеров позволяет построить на их основе синхронные счётчики?
6. Какое устройство позволяет построить реверсивный счётчик?
7. Поясните временную диаграмму работы счётчика Джонсона.

Лабораторная работа №3

Исследование функциональных схем регистров

Цель работы: экспериментальное исследование работы цифровых регистров различных типов.

Подготовка к лабораторной работе

1. По конспекту лекций изучить работу наиболее распространенных типов регистров:

1. параллельные регистры;
2. последовательные регистры (сдвиговые регистры);
3. Универсальные регистры;

2. Изучить принципиальную схему лабораторного стенда LESO2 и определить какая часть исследуемой схемы реализована аппаратно, а какая будет реализована с помощью среды автоматизированного проектирования Quartus II.

3. Разработать четыре принципиальные схемы исследования параллельных и последовательных регистров к пунктам 1 ... 4

Задание к работе

1. Исследовать параллельный регистр-защёлку

Соединить четыре D триггера, работающих по потенциалу (триггер защёлка, в Quartus он называется "latch"), параллельно. Входы триггеров подключить к переключателям S5 ... S8. Выходы триггеров подключить к светодиодам LED5 ... LED8. Входы синхронизации триггеров соединить параллельно и подключить к переключателю S1. Сконфигурировать ПЛИС в соответствии с разработанной схемой.

Подавая на входы регистра комбинации логических уровней, приведенных в таблице 1, с помощью ключей S5 ... S8 и наблюдая за состояниями светодиодных индикаторов LED5 ... LED8, заполните её пустые колонки. **Обратите внимание!** Строки, где на входе C последовательно присутствует логическая единица формируют **один импульс**. Не нужно каждый раз щелкать переключателем.

Таблица 1. Сигналы на входах и выходах регистра-защёлки

D0	D1	D2	D3	C	Q0(t)	Q1(t)	Q2(t)	Q3(t)
0	1	0	1	0				
0	1	0	1	1				
0	1	0	1	0				
0	1	1	1	0				

0	1	1	1	1				
0	1	1	1	0				
1	1	0	1	0				
1	1	1	1	1				
1	0	1	1	1				
1	0	0	0	1				
1	0	0	0	0				
0	0	0	1	0				

2. Исследовать параллельный регистр

Заменить в схеме регистра триггеры, работающие по потенциалу на D триггеры, работающие по фронту. В системе проектирования Quartus II это элемент памяти dff. Сконфигурировать ПЛИС в лабораторном стенде в соответствии с новой схемой.

Подавая на входы регистра комбинации логических уровней, приведенных в таблице 1, с помощью ключей S5 ... S8 и наблюдая за состояниями светодиодных индикаторов LED5 ... LED8, заполните таблицу 2. **Обратите внимание на отличие в таблицах!**

3. Исследовать работу последовательно-параллельного регистра

Увеличить количество триггеров в схеме регистра до восьми. Выходы триггеров подключить к светодиодам LED5 ... LED8. Соединить триггеры в схеме регистра последовательно. При этом на входах регистра останется только два переключателя — S5 на входе D0 и переключатель S1 на входе синхронизации C. Сконфигурировать ПЛИС в лабораторном стенде в соответствии с новой схемой.

При помощи переключателя S5 ввести в регистр число, соответствующее номеру бригады + 224 (например для бригады №1 код будет равен 11100001_2). Каждый бит должен сопровождаться импульсом на входе синхронизации C. Для этого при помощи переключателя S1 нужно последовательно подать логическую 1, а затем логический 0. Следующий бит на входе D0 следует устанавливать только после завершения формирования импульса синхронизации CLK.

После каждого импульса записать данные на выходе последовательного регистра в таблицу 3. Обратите внимание по какому фронту происходит изменение выходного состояния регистра. Пример заполнения таблицы 3:

D0	C	Q0(t)	Q1(t)	Q2(t)	Q3(t)	Q4(t)	Q5(t)	Q6(t)	Q7(t)
0		0	0	0	0	0	0	0	0

0		0	0	0	0	0	0	0	0
1		1	0	0	0	0	0	0	0
1		1	1	0	0	0	0	0	0
0		0	1	1	0	0	0	0	0
0		0	0	1	1	0	0	0	0
1		1	0	0	1	1	0	0	0
1		1	1	0	0	1	1	0	0

Повторить выполненные действия с реальной микросхемой 153ЗИР8. В среде автоматизированного проектирования Quartus II этой микросхеме соответствует примитив 74164.

4. Исследовать работу параллельно-последовательного регистра

Исследование параллельно-последовательного регистра начнем сразу с реальной микросхемы, подобной 555ИР1. Создайте на этой микросхеме 8-разрядный регистр. В среде автоматизированного проектирования Quartus II микросхеме 555ИР1 соответствует примитив 7495. Вместо двух 4-разрядных микросхем 555ИР1 можно применить 8-разрядный регистр 74198 или 74166.

Сконфигурируйте ПЛИС в соответствии с созданной вами схемой. Для индикации переданного кода следует использовать схему, исследованную нами в предыдущем пункте (последовательно-параллельный регистр с подключенными к его выходам восемью светодиодами)

Обратите внимание, что в исследуемой схеме появился дополнительный управляющий вход MODE. Этот вход переключает регистр либо в режим параллельной записи (MODE=1), либо в режим последовательного сдвига. Не забывайте, что при параллельной записи в регистр передаваемого вами кода тоже требуется импульс записи!

Содержание отчета

1. Цель работы;
2. Схема исследования регистра-защелки;
3. Таблица логических уровней на входах и выходах регистра-защелки (по результатам эксперимента);
4. Временные диаграммы работы параллельного регистра-защелки (Обратите внимание на форму синхроимпульсов);
5. Схема исследования параллельного регистра;
6. Таблица логических уровней на входах и выходах параллельного регистра на D—триггерах (по результатам эксперимента);

7. Временные диаграммы работы параллельного регистра на D—триггерах (Обратите внимание на форму синхроимпульсов);
8. Схема исследования последовательно-параллельного регистра;
9. Таблица логических уровней на входах и выходах последовательно-параллельного регистра;
10. Временные диаграммы работы последовательно-параллельного регистра (Обратите внимание на положение фронтов синхроимпульсов);
11. Схема исследования параллельно-последовательного регистра;
12. Таблица логических уровней на входах и выходах параллельно-последовательного регистра;
13. Временные диаграммы работы параллельно-последовательного регистра (по результатам эксперимента);
14. Выводы по каждому заданию.

Контрольные вопросы

1. Назначение регистров?
2. По каким признакам классифицируются регистры?
3. Чем определяется разрядность регистров?
4. Назначение параллельного регистра?
5. Объяснить принцип работы параллельного регистра.
6. Объяснить принцип работы последовательного регистра.
7. Объяснить принцип работы последовательно-параллельного регистра.
8. Зачем применяются последовательно-параллельные регистры?
9. Объяснить принцип работы параллельно-последовательного регистра?
10. Зачем применяются параллельно-последовательные регистры?
11. Внутреннее устройство универсальных последовательных регистров?

Лабораторная работа №4

Исследование функциональных схем шифраторов и дешифраторов

Цель работы: Целью работы является изучение принципов действия комбинационных устройств: дешифратора, шифратора, преобразователя кода для семисегментного индикатора, мультиплексора, сумматора.

Подготовка к лабораторной работе

По конспекту лекций изучить работу наиболее распространенных комбинационных схем:

1. дешифратора (декодера);
2. шифратора (кодера);
3. семисегментного дешифратора;
4. мультиплексора;

5. полного двоичного сумматора.

Изучить принципиальную схему лабораторного стенда LESO2 и определить какая часть исследуемой схемы реализована аппаратно, а какая будет реализована с помощью среды автоматизированного проектирования Quartus II.

Задание к работе

1. Исследовать принцип работы дешифратора 2х4

Сконфигурировать ПЛИС в соответствии с рисунком 1. Подключить к входам X0 и X1 переключатели S7 и S8, а к выходам Y0, Y1, Y2, Y3 светодиодные индикаторы LED5, LED6, LED7, LED8. Для этого подключить входы и выходы дешифратора к соответствующим выводам ПЛИС.

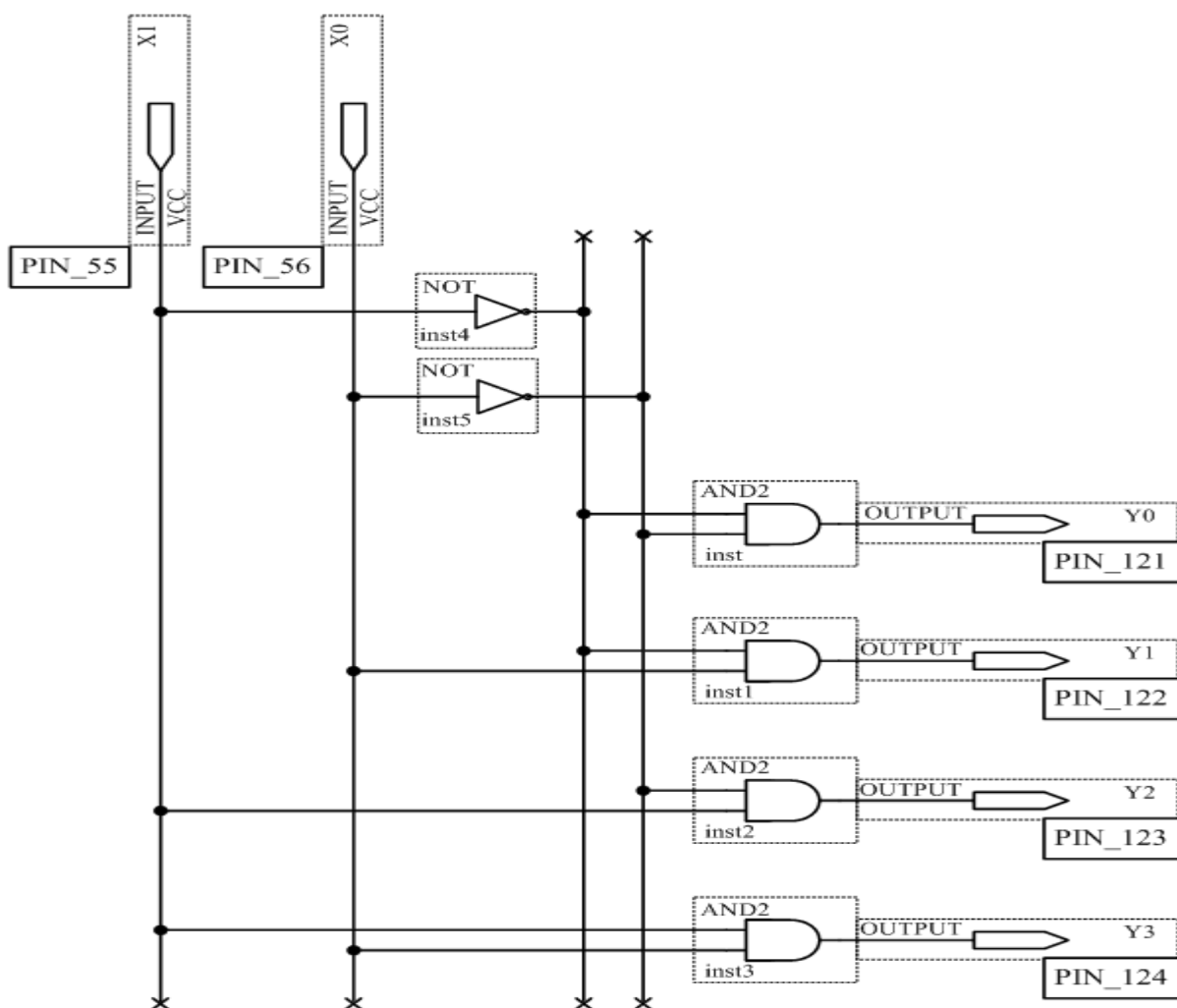


Рисунок 1. Схема дешифратора в графическом редакторе САПР Quartus II

Подавая все возможные комбинации логических уровней на входы X0, X1 с помощью ключей S7, S8 и наблюдая за состояниями светодиодных индикаторов LED5, LED6, LED7, LED8, заполните таблицу истинности дешифратора.

Таблица 1. Таблица истинности дешифратора

x1	x2	y0	y1	y2	y3
0	0				
0	1				
1	0				
1	1				

2. Исследовать принцип работы шифратора 4x2

Сконфигурировать ПЛИС в соответствии с рисунком 2.

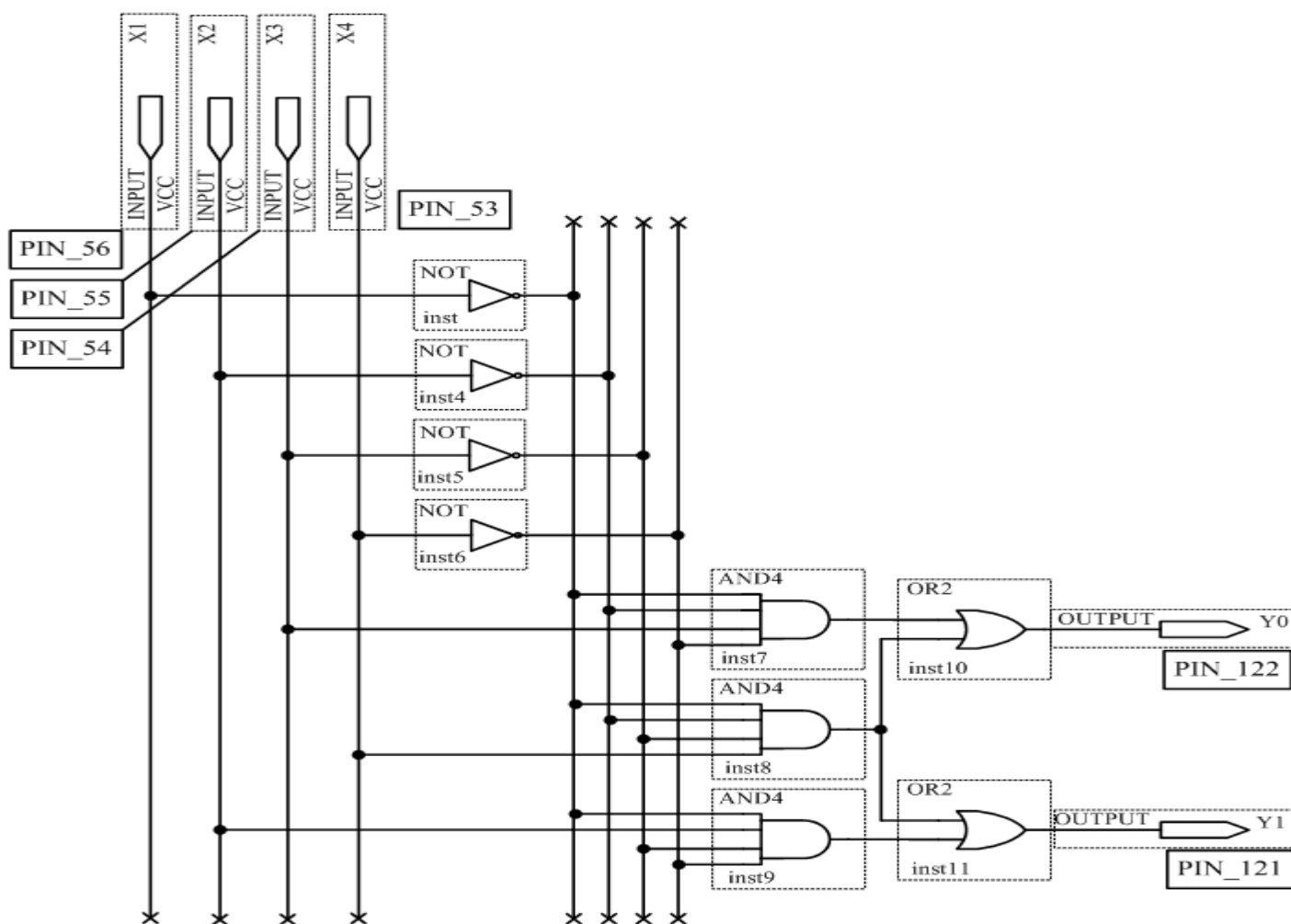


Рисунок 2. Принципиальная схема шифратора 4x2 в графическом редакторе САПР Quartus II

Подключить к входам X1, X2, X3, X4 переключатели S8, S7, S6, S5, а к выходам Y0, Y1 светодиодные индикаторы LED8, LED7. Для этого подключить входы и

выходы дешифратора к соответствующим ножкам ПЛИС. Подавая все возможные комбинации логических уровней на входы X1, X2, X3, X4 с помощью ключей S8, S7, S6, S5 и наблюдая за состояниями светодиодных индикаторов LED7, LED8, заполните таблицу истинности шифратора.

Таблица 2. Таблица истинности шифратора

x1	x2	x3	x4	y1	y0
1	0	0	0		
0	1	0	0		
0	0	1	0		
0	0	0	1		

3. Исследовать работу семисегментного дешифратора.

Составить таблицу истинности семисегментного дешифратора (таблица 3). Для этого в графическом редакторе собрать схему, изображенную на рисунке 3.

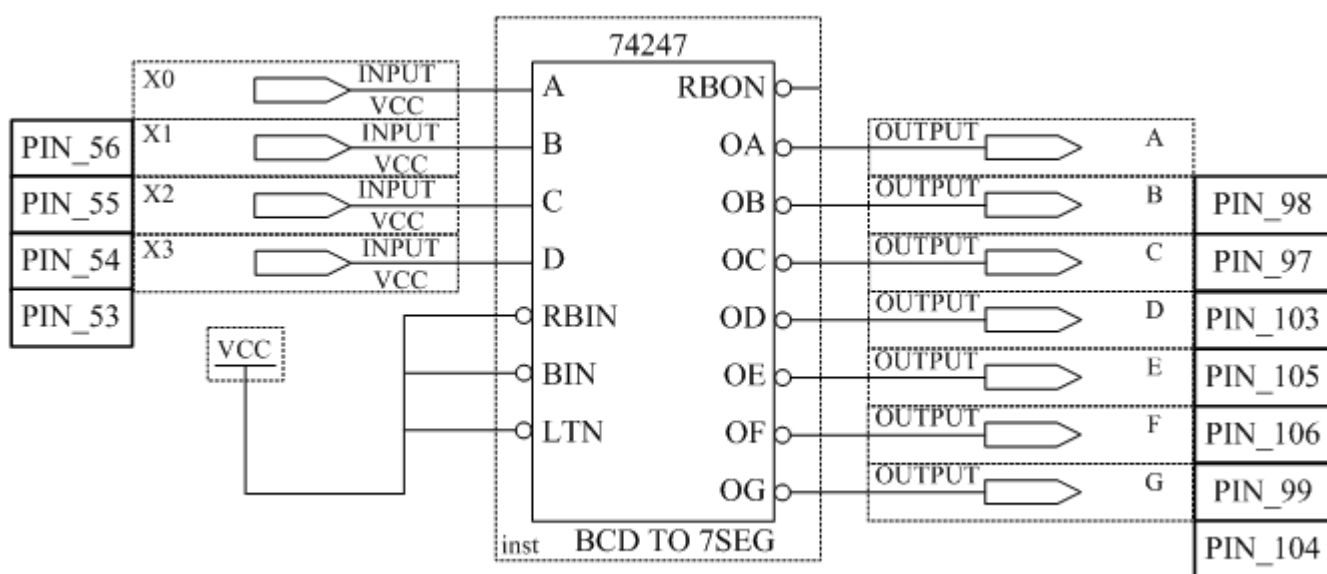


Рисунок 3. Схема семисегментного дешифратора

Подавая с помощью ключей S8, S7, S6, S5 различные кодовые комбинации на входы X0, X1, X2, X3 определить цифры, высвечиваемые на индикаторе. По результатам эксперимента заполнить левую колонку таблицы 3.

Таблица 3. Таблица истинности семисегментного дешифратора

x3	x2	x1	x0	a	b	c	d	e	f	g	Показание индикатора
----	----	----	----	---	---	---	---	---	---	---	----------------------

0	0	0	0									
0	0	0	1									
0	0	1	0									
0	0	1	1									
0	1	0	0									
0	1	0	1									
0	1	1	0									
0	1	1	1									
1	0	0	0									
1	0	0	1									
1	0	1	0									
1	0	1	1									
1	1	0	0									
1	1	0	1									
1	1	1	0									
1	1	1	1									

4 Исследовать работу мультиплексора 4х1

Для этого в графическом редакторе собрать схему, изображенную на рисунке 4. Записать конфигурацию в ПЛИС лабораторного стенда.

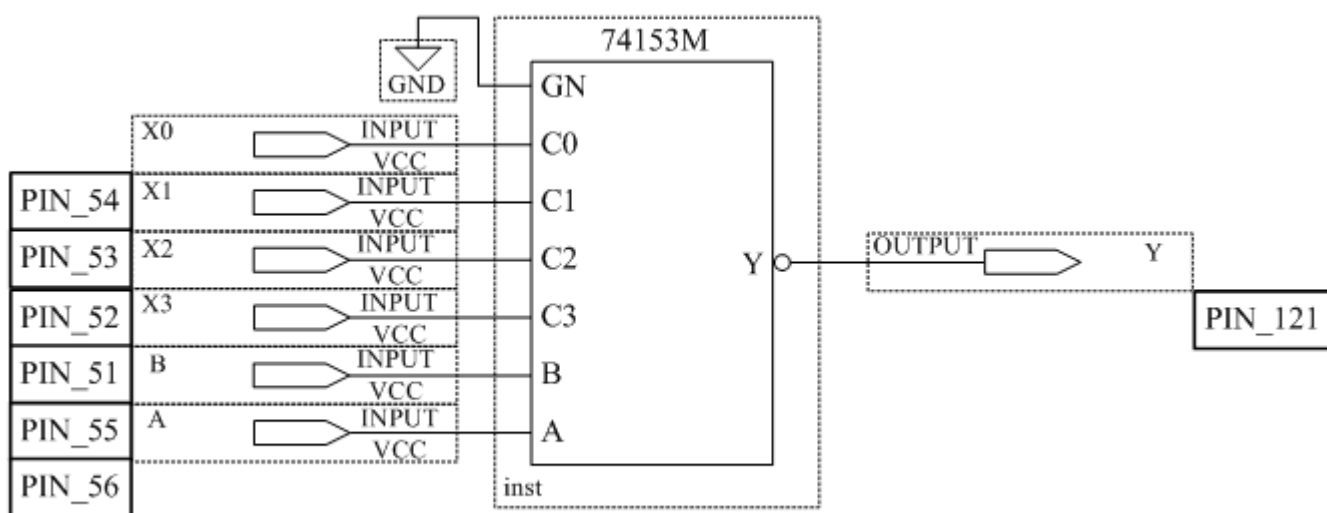


Рисунок 4. Схема мультиплексора 4х1

Поочередно устанавливая все возможные кодовые комбинации на адресных входах А и В, определите номера коммутируемых каналов. Номер коммутируемого канала определяется путем поочередного подключения к входам X0, X2, X3, X4 уровня логической единицы и нуля с последующим наблюдением за выходом Y. Если сигнал на выходе совпадает с входным значением, то номер канала можно узнать по номеру входного ключа по схеме, приведенной на рисунке 4. Заполните таблицу 5.

Таблица 5. Таблица истинности, описывающая работу мультиплексора

		Номер коммутируемого канала
В	А	
0	0	
0	1	
1	0	
1	1	

3.5 Исследовать схему полного одноразрядного сумматора

Сконфигурировать ПЛИС в соответствии с рисунком 5. Здесь **Pin**, **Pout** соответственно вход и выход переноса, **A** и **B** — одноразрядные слагаемые, **S** — сумма.

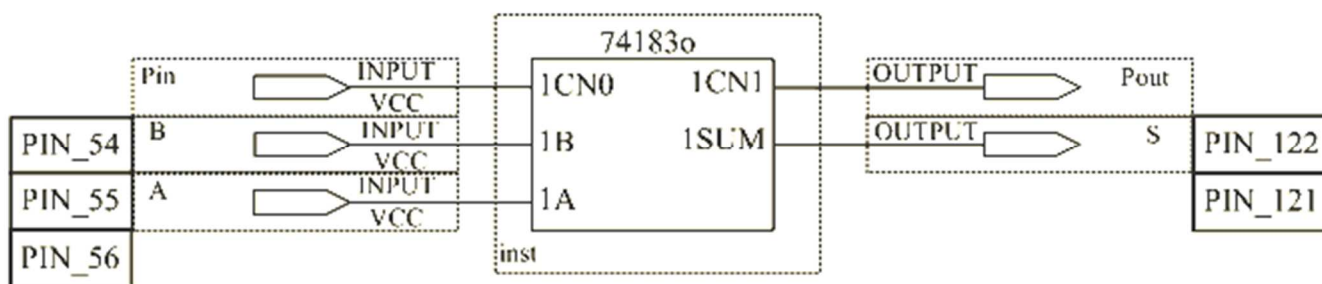


Рисунок 5. Схема полного одноразрядного сумматора

Заполнить таблицу истинности сумматора (таблица 6). Обратите внимание, что порядок столбцов Pout и S должны быть именно такими, как показано в этой таблице!

Таблица 6. Таблица истинности полного одноразрядного сумматора

Pin	B	A	Pout	S
0	0	0		

0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Содержание отчета

1. Цель работы
2. Схемы исследования дешифратора, шифратора, преобразователя кода для семисегментного индикатора, мультиплексора, сумматора.
3. Таблицы истинности для каждой схемы.
4. Выводы по каждому заданию.

5 Контрольные вопросы

1. Принцип работы дешифратора?
2. Как синтезировать дешифратор с произвольной разрядностью?
3. Как работает шифратор?
4. Изобразите таблицу истинности шифратора.
5. Как работает преобразователь кода для семи сегментного индикатора?
6. Как устроен семи сегментный индикатор?
7. Как работает мультиплексор?
8. Как в лабораторной работе проводилось исследование мультиплексора?
9. Как работает сумматор?
10. Изобразите таблицу истинности шифратора.
11. Что такое перенос разряда?

Лабораторная работа №5

Исследование функциональных схем мультиплексоров и демультиплексоров.

Цель работы: Изучить назначение и работу схем мультиплексоров и демультиплексоров.

Создать схему мультиплексора имеющего шесть информационных входов и демультиплексора имеющего шесть выходов.

Оборудование и приборы:

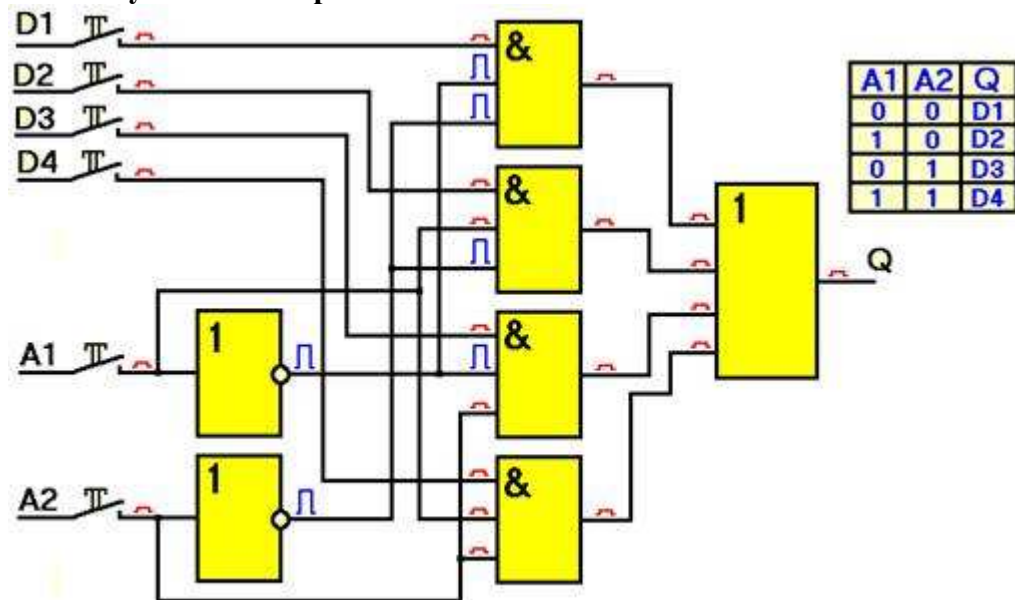
Персональный компьютер.

Ход работы

1. Ознакомиться с назначением мультиплексора и демультиплексора.
2. Ознакомиться с работой схемы мультиплексора и демультиплексора по программе Scihrator.

3. Разработать схему мультиплексора на шесть информационных входа и демультиплексора на шесть информационных выхода объединенных единым каналом.
4. Описать назначение элементов входящих в схему.
5. Создать таблицы истинности для мультиплексора и демультиплексора.
6. Описать работу схемы разработанного устройства.
7. Подготовиться к защите лабораторной работы

Схема мультиплексора



МУЛЬТИПЛЕКСОР - это узел цифровых устройств, предназначенный для передачи информации от нескольких источников по одному физическому каналу. Иначе - *коммутатор*.

Мультиплексор с приведенной функциональной схемой имеет 4 информационных входа, 2 управляющих входа и 1 выход. Поэтому он называется «1 из 4». Основное его предназначение - пересылка с определенного входа на выход. Выбор того входа, откуда пересылаются данные, определяется двоичным кодом, поступающим на управляющие (селекторные) входы. Для выбора номера входа, откуда необходимо взять данные, достаточно подать на входы А и В двоичный код, соответствующий нужному номеру. Например, подав на входы А и В код 11, зададим как бы подключение выхода ко входу №3.

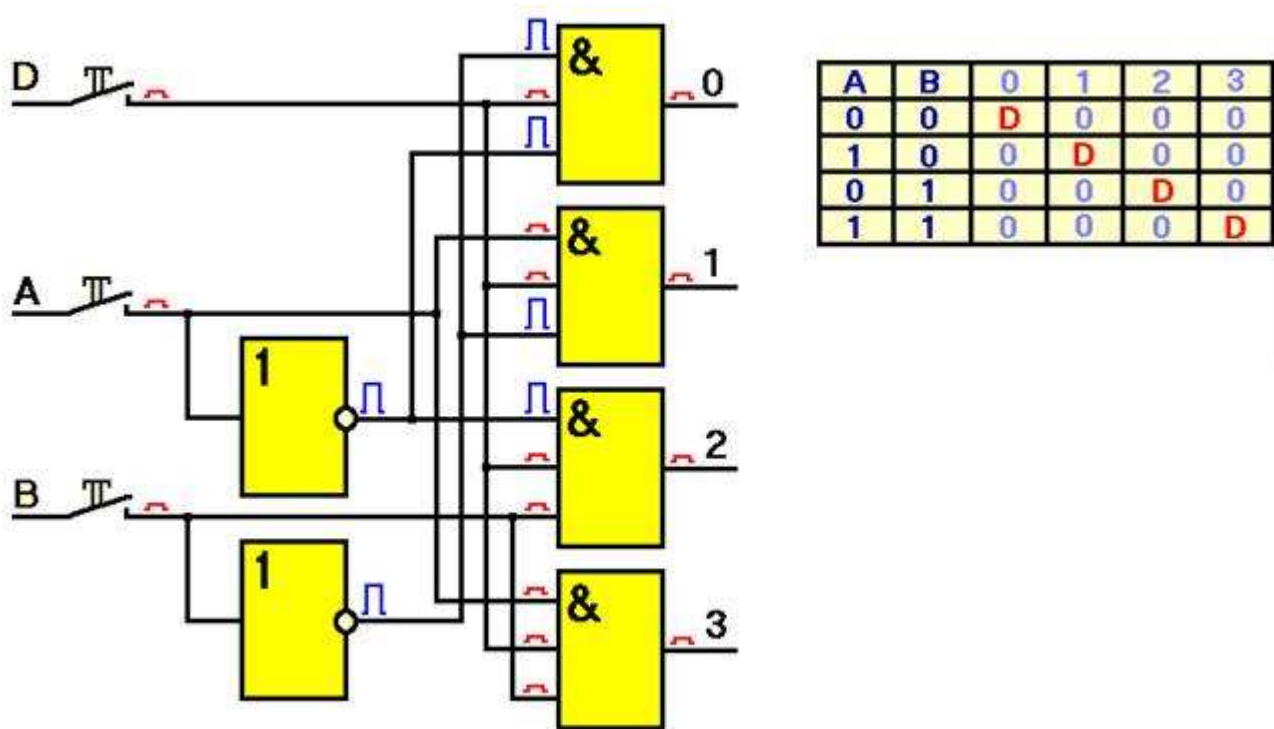
Работу мультиплексора можно описать при помощи таблицы истинности.

Построим схему мультиплексора. Его схема представляет собой дешифратор с объединенными выходами. К каждому элементу И дешифратора (их число равно числу коммутируемых каналов) подводятся сигналы, соответствующие каналу и управляющему коду номера канала. Выходы всех элементов И объединяются элементом ИЛИ.

Отметим, что при работе коммутатора ни о каком физическом подключении одного из входов устройства к его выходу речи не идет. Сигнал на выходе коммутатора лишь ПОВТОРЯЕТ сигнал на входе с номером, заданным кодом на входах А и В. В этом и заключается отличие коммутатора электронного от механического.

В технике связи подобное устройство можно применить для приема сигналов от телефонных линий абонентов-источников и подключения одного из них к телефонному коммутатору - абонентов-источников несколько, телефонный коммутатор один).

Схема демультиплексора



ДЕМУЛЬТИПЛЕКСОР - это управляемый кодом узел цифровых устройств, предназначенный для передачи сигналов от одного физического канала на несколько выходных линий. Иначе - *распределитель сигналов*.

Работа демультиплексора

Работа его заключается в том, что на одном из выходов (на каком именно - определяет код на управляющих входах А и В) появляется такой же сигнал, как и на информационном входе D. Это же подтверждается и таблицей истинности.

Отметим, что так же как и при работе коммутатора, при работе демультиплексора ни о каком физическом подключении его входа к одному из его выходов речи не идет. Сигнал на выходах демультиплексора (номер выхода определяет код на входах А и В) лишь **ПОВТОРЯЕТ** сигнал на его входе D. В этом и заключается отличие распределителя сигналов электронного от механического.

В технике связи можно было применить подобное устройство для подключения телефонным коммутатором определенного абонента-источника к линии другого абонента - абонента-адресата: коммутатор один - абонентов-адресатов несколько.

Лабораторная работа № 6.

Исследование функциональных схем сумматоров

Цель работы

Исследование внутренней структуры и логики функционирования сумматоров и полусумматоров; проверка правильности их функционирования.

Краткая теория к заданию

По числу входов различают полусумматоры, одноразрядные сумматоры (ОС) и многоразрядные сумматоры.

Полусумматорами называются устройства с двумя входами и двумя выходами, на которых вырабатываются сигналы суммы и переноса. Полусумматор реализует лишь часть задачи суммирования, так как не учитывает входной величины – переноса

из соседнего младшего разряда в данных. В таблице 1 приведена таблица истинности полусумматора.

Таблица 1.

Таблица истинности полусумматора

A_i	B_i	S_i	P_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Одноразрядный двоичный сумматор состоит из двух комбинационных схем: одна – для формирования S_i , вторая - для определения P_i . *Многоразрядный сумматор* строится на основе одноразрядных в соответствии с правилами сложения. В зависимости от характера ввода-вывода кодов и организации переносов многоразрядные сумматоры бывают последовательного и параллельного принципа действия.

Одноразрядные сумматоры имеют три входа и обеспечивают сложение разрядов слагаемых с переносом из предыдущего разряда. В таблице 2 приведена таблица истинности сумматора.

Таблица 2

Таблица истинности сумматора

A_i	B_i	P_{i-1}	C_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Обозначения в таблице 2:

A_i, B_i - слагаемые i -го разряда;

C_i - сумма слагаемых i -го разряда;

Π_{i-1} , Π_i - переносы из $(i-1)$ -го и i -го разрядов.

Арифметические сумматоры являются составной частью так называемых арифметико-логических устройств (АЛУ) микропроцессоров (МП). Они используются также для формирования физического адреса ячеек памяти в МП с сегментной организацией памяти. В программе **EWB** арифметические сумматоры представлены в библиотеке **Comb'I** двумя базовыми устройствами, показанными на рис. 1: полусумматором (а) и полным сумматором (б). Они имеют следующие назначения выводов: А, В — входы слагаемых, Σ — результат суммирования, C_o — выход переноса, C_i — вход переноса. Многоразрядный сумматор создается на базе одного полусумматора и n полных сумматоров. В качестве примера на рис. 2 приведена структура трехразрядного сумматора. На входы А1, А2, А3 и В1, В2, В3 подаются первое и второе слагаемые соответственно, а с выходов S1, S2, S3 снимается результат суммирования.

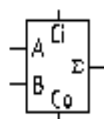
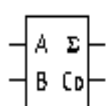


Рис. 1

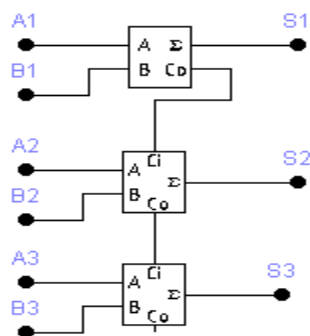


рис. 2

Для исследования внутренней структуры и логики функционирования сумматоров как нельзя лучше подходит логический преобразователь. Схемы подключения полусумматора (а) и сумматора (б) к логическому преобразователю приведены на рис. 3. После подключения полусумматора к преобразователю согласно рис.3, а последовательно нажимаем кнопки

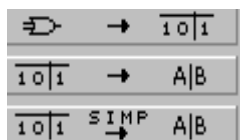


Рис. 3

и в результате получаем таблицу истинности и булево выражение.

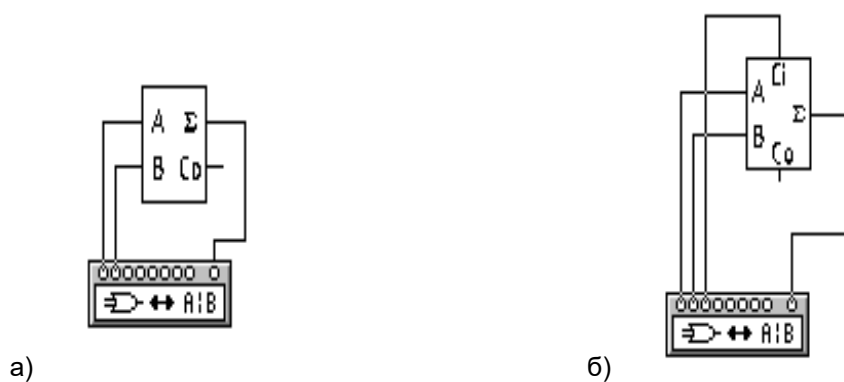


Рис . 4

При подключении вывода Σ полусумматора к зажиму OUT преобразователя (как показано на рис. 3, а) он выполняет функции элемента *Исключающее ИЛИ*. Подключив клемму OUT преобразователя к выходу Co полусумматора и проделав аналогичные действия, приходим к выводу, что в таком включении полусумматор выполняет функции элемента *И*. Следовательно, эквивалентная схема полусумматора имеет вид, показанный на рис. 5.

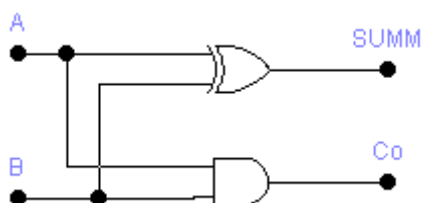


Рис. 5

В каталоге программы EWB 4.1 имеется схема включения четырехразрядного АЛУ на базе серийной микросхемы 74181 (отечественный аналог К155ИПЗ. В несколько переработанном виде она показана на рис.8, а. ИМС74181 обеспечивает 32 режима работы АЛУ в зависимости от состояния управляющих сигналов на входах M, S0...S3, а также допускает наращивание разрядности (вход CN и выход CN<4 для переносов). Показанная на рис. 8, а схема включения ИМС соответствует режиму сумматора без переноса. Значения четырехразрядных операндов A и B на входе задаются с помощью генератора слова и в шестнадцатеричном коде отображаются одноименными алфавитно-цифровыми индикаторами. На выходах F0...F3 результат суммирования отображается индикатором F. Изменяя состояния сигналов на управляющих входах, можно промоделировать большинство функций АЛУ, используемых в микропроцессорах. Режимы работы генератора слова в схеме на рис. 8, а и его кодовый набор показаны на рис. 8, б.

Практическая часть

1. Выясним внутреннюю структуру полного сумматора, пользуясь схемой его подключения к логическому преобразователю на рис. 4 а, б и принимая во внимание методику решения аналогичной задачи для полусумматора.

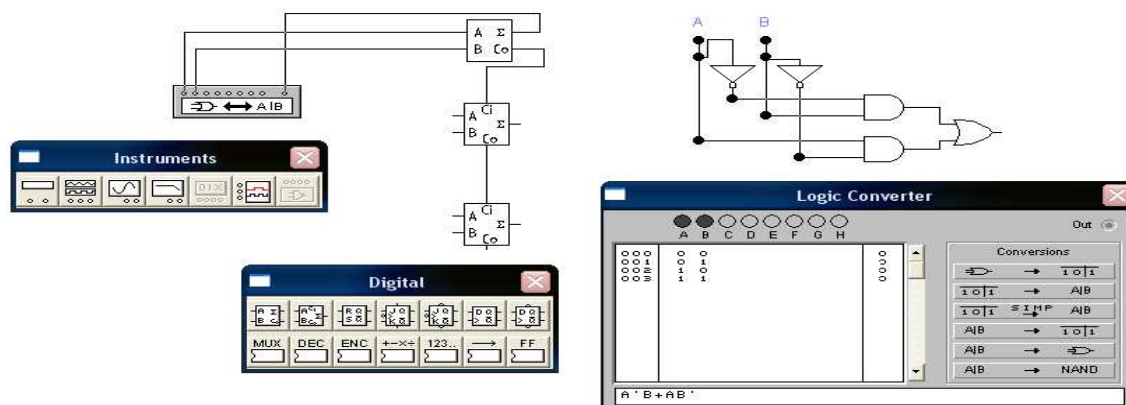


Рис. 6

- Используя опыт работы со схемой на рис. 8, подключим ко входам трехразрядного сумматора на рис. 2 генератор слова, а к выходам — алфавитно - цифровой индикатор с дешифратором и проверим правильность его функционирования.

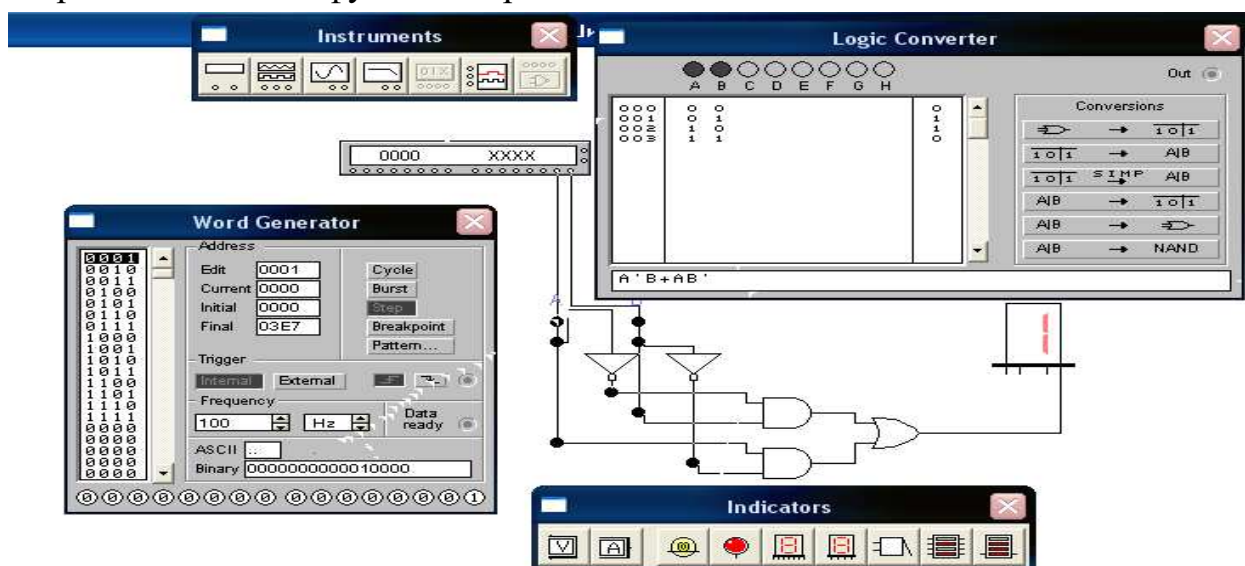
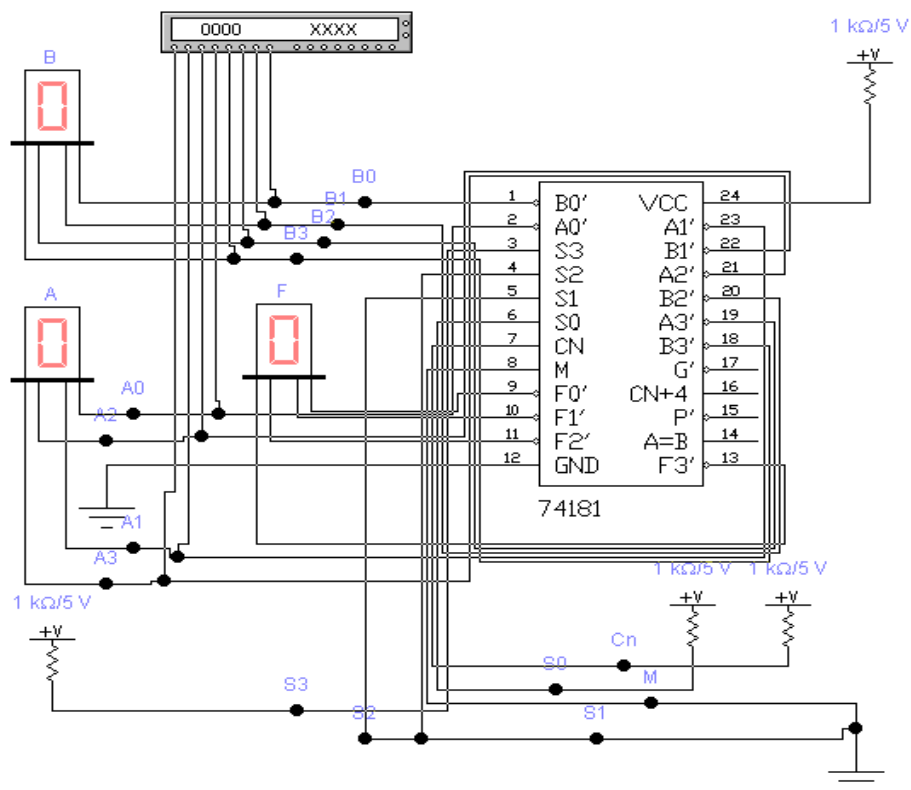
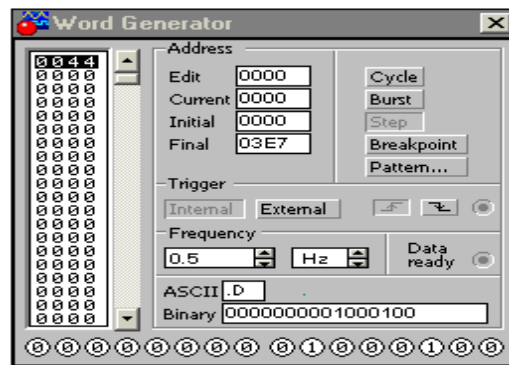


Рис. 7

- Проверим работу ИМС 74181 (рис. 8) в режиме сумматора с переносом (на вход C_p подаём сигнал логического нуля).



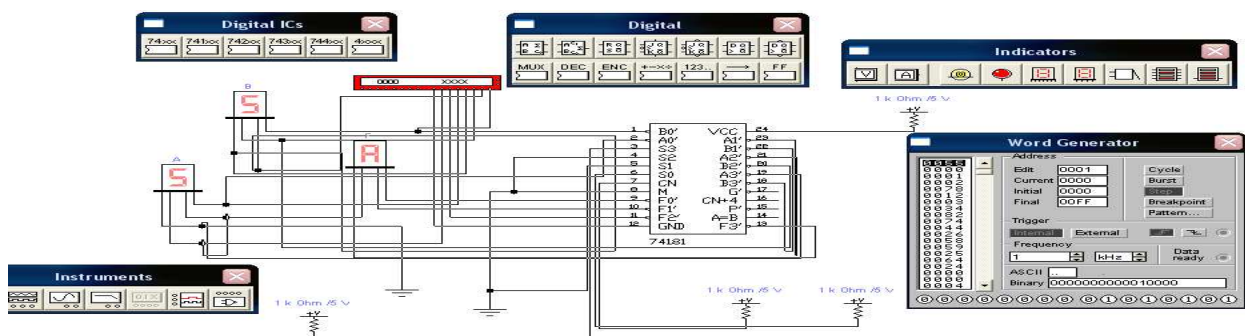
а)



б)

Рис. 8. Схема включения ИМС 74181 в режиме сумматора без переноса

4.В соответствии с рис. 8 соберем ИМС 74181. В генераторе слов вводим любые комбинации десятичного системы счисления. (рис. 9).



Лабораторная работа №7

Исследования работы АЦП и ЦАП

Цель работы: Изучить влияние аналого-цифрового и цифро-аналогового преобразований на параметры электрического сигнала звукового частотного диапазона.

1. Введение

Передача на расстояние звуковых голосовых звуковых сигналов с помощью современных средств связи, кроме прочего предполагает аналогово-цифровое преобразование на предварительном этапе и цифро-аналоговое преобразование на завершающем этапе. Аналогово-цифровое преобразование включает в себя следующие операции: дискретизацию сигналов по времени, квантование по уровню, кодирование. Цифро-аналоговое преобразование включает в себя следующие операции: декодирование и восстановление сигналов по времени и по уровню. Операции дискретизации, квантования и кодирования осуществляют аналого-цифровые преобразователи (АЦП). Операции декодирования и восстановления сигналов по времени и по уровню осуществляют цифро-аналоговые преобразователи (ЦАП).

Дискретизация и квантование неизбежно приводят к потерям полезной информации и, следовательно, к погрешностям в результатах цифровой обработки аналоговых сигналов. Поэтому чрезвычайно важно технически грамотно выбрать аналого-цифровой преобразователь с требуемыми разрешающей способностью, точностью и быстродействием для решения конкретной задачи передачи сигналов.

Целью данного лабораторного практикума является экспериментальное определение статистических и спектральных характеристик аналого-цифрового и цифро-аналогового преобразований звуковых голосовых аналоговых сигналов, а также изучение погрешностей, связанных с дискретизацией, квантованием и последующим восстановлением исследуемых процессов.

2. Теоретическая часть

Основная информация по вопросам:

- дискретизация аналоговых сигналов по времени;
- статические передаточные функции АЦП и ЦАП;
- погрешности по постоянному току;
- погрешности по переменному току в тракте преобразователя данных;
- динамические характеристики ЦАП;

представлена в приложении 1 (Глава 2, «Дискретные системы», авторы Уолт Кестер, Джеймс Брайэнт).

Основная информация по вопросам:

- АЦП последовательного приближения
- Сигма-дельта АЦП
- Параллельные (Flash) АЦП
- Конвейерные (Pipelined) АЦП
- АЦП последовательного счета (Bit-Per-Stage);

представлена в приложении 2 (Глава 3, «Аналого-цифровые преобразователи для задач цифровой обработки сигналов», авторы Уолт Кестер, Джеймс Брайэнт).

Описание примеров практической реализации АЦП в виде микросхем представлено в приложениях 3 (AD775) и 4 (AD7819).

3. Лабораторное задание

Элементы экспериментальной установки

Схема для исследований характеристик аналого-цифрового и цифро-аналогового преобразований, а также их влияния на параметры преобразуемых сигналов, набранная в программе MicroCAP показана на рис. 1. В качестве тестовых используются гармонические сигнал (Генератор V3).

16 Bit A toD and D toA circuit.

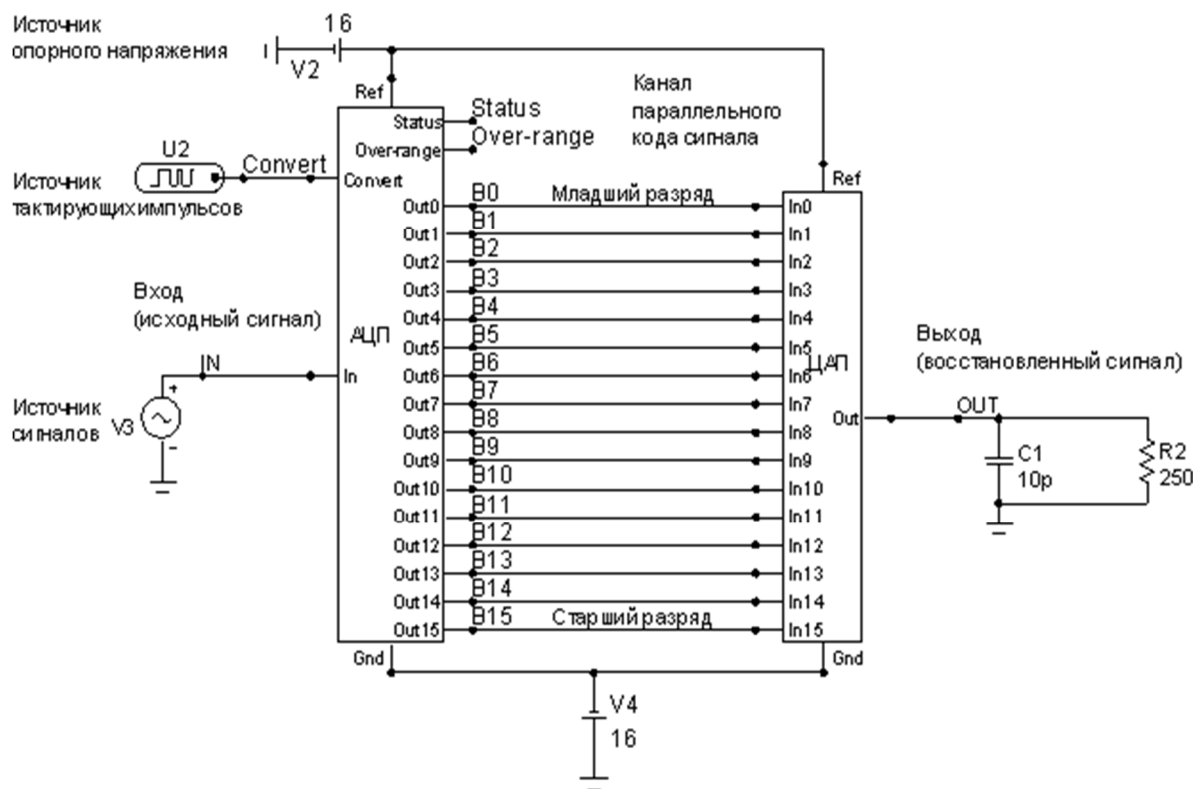


Рис. 1. Схема для проведения исследований.

Экспериментальная часть

1. Исследование влияния величины частоты дискретизации на параметры преобразованного сигнала.

1.1 Для работы со схемой (рис. 1) открыть файл AD16 LAB_0.CIR, находящийся в папке Lab (:\\mc8\\DATA\\Lab\\).

1.2 Установить величину частоты генератора V3 равной 1100 Гц (для этого: два щелчка мыши по генератору V3, слева внизу в поле F установить значение его частоты).

1.3 Установить величину частоты дискретизации f_d , задаваемую для АЦ генератором U2 равной 500 Гц (для этого: два щелчка мыши по генератору U3, в верхнем окне выбрать параметр Command=convert1, в нижнем окне в двух последних строках задать время импульса t_i и время паузы t_p , в сумме дающие период импульса T, пусть $t_i = t_p$, пример таких импульсов показан на рис. 2). Известно: $f_d = 1/T$. Значок μ – обозначает микро. В десятичных дробях используется точка вместо запятой.

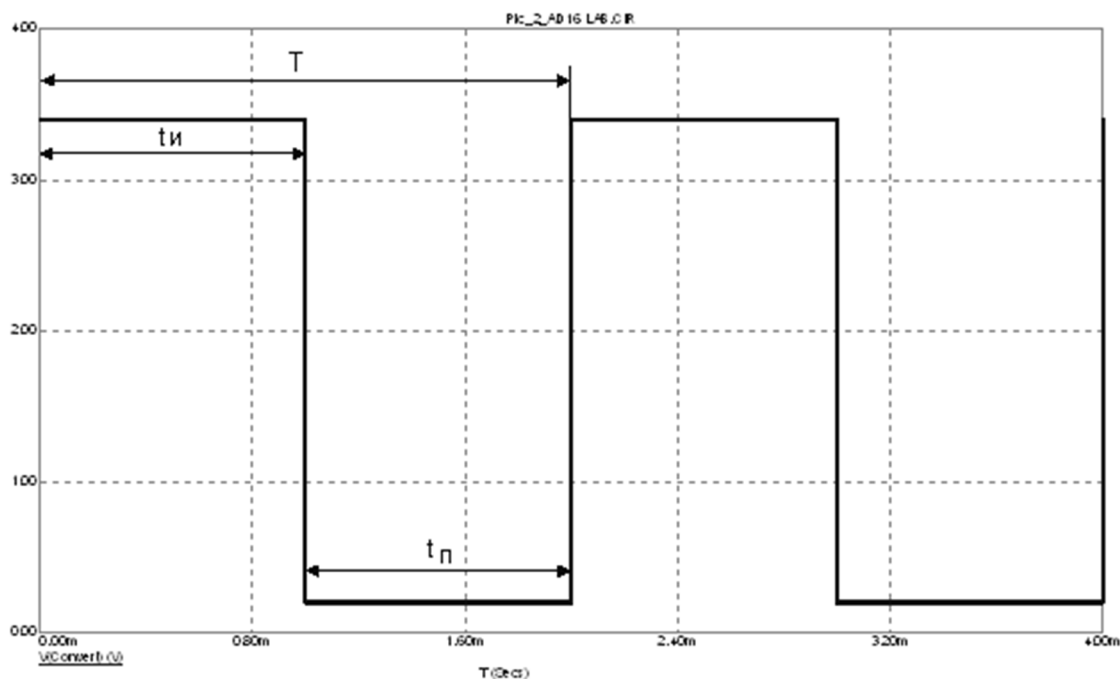


Рис. 2. Определение периода тактирующего генератора U2.

1.4 Запустить анализ схемы для этого: меню => Анализ => Переходные процессы. В появившемся окне параметров анализа активировать первые три графика, вписав каждому в поле «Р» – 1 (единицу), остальные три должны быть пустыми, или сделать то же при помощи правой кнопки мыши. Нажать Run. Полученный график иллюстрирует работу схемы во временной области на нём красный сигнал – исходный, чёрный сигнал – восстановленный по результатам аналого-цифрового преобразования, синий сигнал – от тактирующего генератора U2. Оценить возможность использования данной частоты дискретизации для аналого-цифрового преобразования, вывод занести в табл. 1.

1.5 Вызвать окно параметров анализа нажав F9. Активировать третий график, поставив 2 в его поле «Р», результат моделирования отобразится на втором графике. Нажать Run. Полученный график показывает значение абсолютной ошибки сигнала, полученного после АЦП и восстановления, оно определяется как абсолютная разность между исходным и преобразованным сигналом. По графику определить среднее и максимальные значения ошибки, а также среднее значение её периода, результат занести в табл. 1.

1.6 Вызвать окно параметров анализа нажав F9. Деактивировать первые четыре графика, удалив из каждого в поле «Р» – 1 или 2, можно сделать то же при помощи правой кнопки мыши. Активировать пятый и шестой графики, поставив 1 в их поля. Нажать Run. Полученный график иллюстрирует влияние работы схемы на частотный состав сигнала после АЦП и восстановления, на нём красный сигнал – (соответствует 1100 Гц), чёрный сигнал – спектр восстановленного сигнала по результатам аналого-цифрового преобразования. Определить частоту основной гармоники восстановленного сигнала и число дополнительных гармоник, считая значимыми гармоники лежащие выше уровня 5% от уровня основной гармоники, полученные данные занести в табл. 1.

1.7 Выйти из режима анализа нажав F3. Установить величину частоты дискретизации f_d в соответствии с рекомендациями пункта 1.3 равную 1000 Гц. Провести необходимые измерения в соответствии с пунктами 1.4 – 1.6, полученные данные занести в табл. 1.

1.8 Повторить те же исследования для частот указанных в табл. 1, полученные данные занести в табл. 1.

1.9 Закрыть файл AD16 LAB_0.CIR, не сохраняя изменений.

Таблица 1. Результаты оценки искажений сигнала в зависимости от величины частоты дискретизации.

Частота	Возможность	Средняя	Максимальная	Средний	Частота	Число значимых
---------	-------------	---------	--------------	---------	---------	----------------

дискретизации f_d , Гц	использования данной f_d для АЦП исходного сигнал, да / нет	амплитуда ошибки, В	амплитуда ошибки, В	период ошибки, мкс	основной гармоники, Гц	дополнительных гармоник
500						
1000						
2000						
4000						
10000						
20000						
40000						

2. Изучение представления преобразуемого с помощью АЦП сигнала в виде двоичного кода.

2.1 Для работы со схемой (рис. 1) открыть файл AD16 LAB_1.CIR, находящийся в папке Lab (:\\ms8\\DATA\\Lab\\).

2.2 Установить величину частоты генератора V3 равной 1100 Гц (для этого: два щелчка мыши по генератору V3, слева внизу в поле F установить значение его частоты).

2.3 Установить величину частоты дискретизации f_d , задаваемую для АЦП генератором U2 равной 20 кГц (для этого: воспользоваться рекомендацией из пункта 1.3).

2.4 Запустить анализ схемы для этого: меню => Анализ => Переходные процессы. В появившемся окне параметров анализа должны быть активированы все графики: первые три графика в поле «Р» должны иметь – 1 (единицу), остальные должны иметь – 2. Нажать Run. Полученный верхний график иллюстрирует работу схемы во временной области на нём красный сигнал – исходный, чёрный сигнал – восстановленный по результатам аналого-цифрового преобразования, синий сигнал – от тактирующего генератора U2; полученный нижний график показывает логические уровни сигнала в параллельном канале данных, от младшего до старшего разряда (номера разрядов показаны слева от оси ординат).

2.5 Полученные с верхнего графика значения амплитуд для каждого отсчёта (от первого до N-го, соответствующего концу периода сигнала) одного периода восстановленного сигнала занести в табл. 2. Полученные с нижнего графика логические уровни сигнала (1 или 0) по разрядно (от младшего разряда к старшему) для каждого соответствующего отсчёта восстановленного сигнала также занести в табл. 2.

2.6 Выйти из режима анализа нажав F3. Установить величину частоты генератора V3 равной 2200 Гц в соответствии с рекомендациями пункта 2.2. Провести необходимые измерения в соответствии с пунктами 2.4 – 2.5, полученные данные занести в табл. 2.

2.7 Выйти из режима анализа нажав F3. Установить величину частоты генератора V3 равной 4400 Гц в соответствии с рекомендациями пункта 2.2. Провести необходимые измерения в соответствии с пунктами 2.4 – 2.5, полученные данные занести в табл. 2.

2.8 Закрывать файл AD16 LAB_1.CIR, не сохраняя изменений.

Таблица 2. Результаты представления преобразуемого с помощью АЦП сигнала в виде двоичного кода.

Частота сигнала, Гц	№ отсчёта	Амплитуда отсчёта, В	Десятичное значение, соответствующее двоичному коду отсчёта	Логические уровни сигнала для соответствующих разрядов, 1 или 0					
				B0	B1	B2	...	B14	B15
1100	1								

	...								
	N								
2200	1								
	...								
	M								
4400	1								
	...								
	K								

3. Исследование влияния величины разрядности квантования на параметры преобразованного с помощью АЦП сигнала.

3.1 Для работы со схемой (рис. 1) открыть файл AD16 LAB_2.CIR, находящийся в папке Lab (:\\mc8\\DATA\\Lab\\).

3.2 Установить величину частоты генератора V3 равной 1100 Гц (для этого: два щелчка мыши по генератору V3, слева внизу в поле F установить значение его частоты).

3.3 Установить величину частоты дискретизации f_d , задаваемую для АЦП генератором U2, равную 25 кГц (для этого: воспользоваться рекомендацией из пункта 1.3).

3.4 Запустить анализ схемы для этого: меню => Анализ => Переходные процессы. В появившемся окне параметров анализа должны быть активированы все графики: первые три графика в поле «Р» должны иметь – 1 (единицу), остальные должны иметь – 2. Нажать Run. Полученный верхний график иллюстрирует работу схемы во временной области на нём красный сигнал – исходный, чёрный сигнал – восстановленный по результатам аналого-цифрового преобразования, синий сигнал – от тактирующего генератора U2; полученный средний график показывает логические уровни сигнала в параллельном канале данных, от младшего до старшего разряда (номера разрядов показаны слева от оси ординат), полученный нижний график показывает значение абсолютной ошибки сигнала, полученного после АЦП и восстановления, оно определяется как абсолютная разность между исходным и преобразованным сигналом.

3.5 По верхнему графику определить число отсчётов приходящихся на один период восстановленного сигнала для 16 разрядов квантования занести его в табл. 3. По нижнему графику определить среднее и максимальное значения ошибки, результат занести в табл. 3. Оценить возможность использования данной разрядности квантования для аналого-цифрового преобразования, вывод занести в табл. 3.

3.6 Выйти из режима анализа нажав F3. Уменьшить число разрядов квантования. С этой целью следует удалить из схемы (рис. 1) проводники, соединяющие выход АЦП и вход ЦАП, соответствующие тем младшим разрядам квантования, от которых необходимо избавиться (по табл. 3). Для этого: по очереди выделить проводники с помощью мыши (наведя курсор на проводник (он «подсветится») и нажать один раз левую клавишу), нажать кнопку Delete.

3.7 Повторить измерения в соответствии с пунктами 3.5 и 3.6. для всех вариантов числа уровней квантования, указанных в табл. 3.

3.8 Восстановить все удалённые проводники, нажав необходимое число раз совместно кнопки Ctrl и Z.

3.9 Установить величину частоты дискретизации f_d , задаваемую для АЦП генератором U2, равную 100 кГц (для этого: воспользоваться рекомендацией из пункта 1.3).

3.10 Повторить измерения для данной частоты дискретизации в соответствии с пунктами 3.4 – 3.7. Результаты занести в табл. 3.

3.11 Закрыть файл AD16 LAB_2.CIR, не сохраняя изменений.

Таблица 3. Результаты исследования влияния величины разрядности квантования на параметры преобразованного с помощью АЦП сигнала.

Частота дискретизации f_d , кГц	Число используемых разрядов	Число отсчётов приходящихся на один период	Максимальная амплитуда ошибки,	Средняя амплитуда ошибки,	Возможность использования данной
--------------------------------------	-----------------------------	--	--------------------------------	---------------------------	----------------------------------

Гц	квантования, (оставшиеся разряды)	восстановленног о сигнала	В	В	разрядности для АЦП исходного сигнал, да / нет
25000	16 (B0-B15)				
	14 (B2-B15)				
	12 (B4-B15)				
	10 (B6-B15)				
	8 (B8-B15)				
	6 (B10-B15)				
	5 (B11-B15)				
	4 (B12-B15)				
	3 (B13-B15)				
	2 (B14-B15)				
	1 (B15)				
100000	16 (B0-B15)				
	14 (B2-B15)				
	12 (B4-B15)				
	10 (B6-B15)				
	8 (B8-B15)				
	6 (B10-B15)				
	5 (B11-B15)				
	4 (B12-B15)				
	3 (B13-B15)				
	2 (B14-B15)				
	1 (B15)				

4. Расчётная часть

1. По данным табл. 1 определить, какое значение частоты дискретизации является минимально допустимым при используемом способе восстановления сигнала после АЦП. Сравнить это значение с теоретическим значением, соответствующим теореме Котельникова (условию Найквиста).

2. По данным табл. 1 на одной координатной плоскости построить графики зависимости величины максимальной амплитуды ошибки и величины средней амплитуды ошибки от величины частоты дискретизации.

3. По данным табл. 1 построить график зависимости числа значимых дополнительных гармоник от величины частоты дискретизации.

4. По данным табл. 1, отметить при какой минимальной частоте дискретизации частота основной гармоники восстановленного сигнала начинает совпадать с частотой исходного сигнала.

5. По данным табл. 2 для каждого отсчёта рассчитать десятичное значение, соответствующее двоичному коду отсчёта, результат занести в табл. 2. Сравнить полученные значения со значениями измеренных амплитуд отсчётов.

6. По данным табл. 2 сделать вывод о том какие разряды (от B0 до B15) являются значимыми при аналого-цифровом преобразовании исходного сигнала, а какие нет, при заданных частотах сигнала и частоте дискретизации.

7. По данным табл. 3 построить на одной координатной плоскости графики зависимости величины максимальной амплитуды ошибки и величины средней амплитуды ошибки от величины числа используемых разрядов квантования для соответствующих частот дискретизации.

8. По данным табл. 3 построить на одной координатной плоскости графики зависимости величины числа отсчётов приходящихся на один период восстановленного сигнала от величины числа используемых разрядов квантования для соответствующих частот дискретизации.

9. Сделать вывод о том, как связаны минимально необходимые величины частоты дискретизации и разрядности АЦП с амплитудой и частотой сигнала. Ответить на вопрос: есть ли взаимозависимость между минимально необходимой величиной частоты дискретизации и минимально необходимой величиной разрядности АЦП?

10. Изучить практическую реализацию АЦП на примерах представленных в приложениях 3 и

6. Содержание отчета

Формулировка цели работы.

Схемы, таблицы с результатами измерений.

Графики зависимостей исследуемых цепей.

Анализ полученных результатов, необходимые расчёты, ответы на вопросы и выводы по работе.

7. Контрольные вопросы

1. В каком частотном диапазоне лежат звуковые сигналы?
2. Методы и типы АЦП.
3. Статические параметры АЦП.
4. Понятие дискретности, квантование, разрешающая способность.
5. Характеристика преобразования, дифференциальная нелинейность АЦП, отклонение коэффициента преобразования.
6. Напряжение смещения нуля.
7. Динамические параметры АЦП.
8. Время преобразования, время задержки запуска, время цикла преобразования, максимальная частота преобразования.
9. Факторы, влияющие на погрешность АЦП.
10. Аппаратные реализации АЦП.
11. Примеры практического применения АЦП.
12. Построение схем АЦП с помощью микросхем ЦАП.

4.2. Задания для рубежного контроля

Раздел 1 Арифметические основы цифровой схемотехники

ТЕСТ №1

1. В зависимости от способа изображения чисел системы счисления делятся на:

- А) арабские и римские ;
- Б) позиционные и непозиционные ;
- В) представление в виде ряда и в виде разрядной сетки .

2. Двоичная система счисления имеет основание :

- А) 10
- Б) 8
- В) 2

3. Для представления чисел в шестнадцатеричной системе счисления используются :

А) цифры 0 – 9 и буквы А – F

Б) буквы А – Q В) числа 0 – 15

4. В какой системе счисления может быть записано число 402:

А) в двоичной Б) в троичной В) в пятеричной

5. Чему равно число DXXVII в десятичной системе счисления?

А) 527 Б) 499 В) 474

6. Недостатком непозиционной системы счисления является :

А) сложно выполнять арифметические операции ;

Б) ограниченное число символов , необходимых для записи числа;

В) различное написание цифр у разных народов

7. Даны системы счисления : 2-ая , 8-ая, 10-ая, 16-ая. Запись вида 352:

А) отсутствует в двоичной системе счисления ;

Б) отсутствует в восьмеричной ;

В) существует во всех названных системах счисления.

8. Какие цифры используются в шестеричной системе счисления ?

А) 0,6,5,2 Б) 8,6,1,0 В) 0,3,2,1

9. Какое минимальное основание должно иметь система счисления , если в ней можно записать числа : 341, 123, 222, 111.

А) 3 Б) 4 В) 5

10. Когда $2 \cdot 2 = 11$?

А) в двоичной системе счисления

Б) в троичной системе счисления

В) в четверичной системе счисления

11. Как записывается максимальное 4-разрядное положительное число в троичной системе счисления?

А) 2222 Б) 1111 В) 3333

12. Цифры-это:

А) символы , участвующие в записи числа ;

Б) буквы , участвующие в записи числа;

В) пиктограммы , участвующие в записи числа.

13. Система счисления-это:

А) представление чисел в экспоненциальной форме;

Б) представление чисел с постоянным положением запятой ;

В) способ представления чисел с помощью символов , имеющий определенное количественное значение.

14. Пятеричная система счисления имеет основание:

А) 5 Б) 3 В) 4

15. Для представления чисел в восьмеричной системе счисления используются цифры:

А) 1 – 8 Б) 0 – 9 В) 0 – 7

16. В какой системе счисления может быть записано число 750?

А) в восьмеричной Б) в семеричной В) в шестеричной

17. Чему равно число CDXIV в десятичной системе счисления ?

А)616 Б)614 В)414

18. Преимуществом позиционной системы счисления является:

А) сложно выполнять арифметические операции;

Б) ограниченное число символов ,необходимые для записи числа ;

В) различное написание цифр у разных народов.

19. Даны системы счисления : 2-ая, 8-ая, 10-ая, и 16-ая. Запись вида 692:

А) отсутствует в десятичной системе счисления;

Б) отсутствует в восьмеричной;

В) существует во всех названных системах счисления.

20. Какие цифры используются в семеричной системе счисления?

А) 0,1,6 Б)0,8,9 В)1,6,7

21. Какое минимальное основание должно иметь система счисления , если в ней можно записать числа: 432, 768, 568, 243?

А)10 Б)8 В)9

22. Когда $2*3=11$?

А) в пятеричной системе счисления ;

Б) в троичной системе счисления ;

В) в четверичной системе счисления .

23. Как записывается максимальное 3-разрядное положительное число в четверичной системе счисления ?

А)333 Б)222 В)3333

24. Число-это:

А) ряд символов;

Б) обозначение некоторой величины;

В) набор знаков;

Раздел 2 Логические основы цифровой схемотехники

ТЕСТ 2

Вариант1

1.Наука, изучающая законы и формы мышления ,называется:

А)алгебра; В) философия;

Б) геометрия; Г)логика.

2.Повествовательное предложение ,в котором что-то утверждается или отрицается называется :

А)выражение; В) высказывание;

Б)вопрос ; Г)умозаключение.

3.Константа , которая обозначается «1» в алгебре логики называется :

А)ложь
Б)истина

В)правда
Г)неправда

4.Какое из следующих высказываний является истинным ?

А)город Париж-столица Англии В)II-IV=

4.3 Фонд оценочных средств для проведения промежуточной аттестации

ПАКЕТ ЭКЗАМЕНАТОРА

Дисциплина ОП.08 Цифровая схемотехника

Форма контроля – экзамен

Преподаватель Л.В.Пешина

Группа А-21

- **Количество разделов:**

Раздел 1. Арифметические основы цифровой схемотехники

Раздел 2. Логические основы цифровой схемотехники

Раздел 3. Последовательностные цифровые устройства – цифровые автоматы

Раздел 4. Комбинационные цифровые устройства

Раздел 5. Цифровые запоминающие устройства

Раздел 6. Аналого-цифровые (АЦП) и цифро-аналоговые преобразователи (ЦАП) информации

Раздел 7. Микропроцессоры и микропроцессорные устройства

- **Количество вопросов: 50**

- **Максимальное время выполнения всего задания для каждого студента - 20мин**

- **Общее время проведения экзамена - 4 часа**

- **Количество экзаменационных билетов – 25штук.**

- **ФОРМИРУЕМЫЕ КОМПЕТЕНЦИИ**

ОК.1	Выбирать способы решения задач профессиональной деятельности применительно к различным контекстам
ОК.2	Осуществлять поиск, анализ и интерпретацию информации, необходимой для выполнения задач профессиональной деятельности

ПК 1.1	Анализировать работу станционных, перегонных, микропроцессорных и диагностических систем автоматики по принципиальным схемам
--------	--

КРИТЕРИИ ОЦЕНОК ПО ДИСЦИПЛИНЕ ОП.09 ЦИФРОВАЯ СХЕМОТЕХНИКА

Оценка «5»	- ответ полный и правильный на основании изученных теорий; - материал изложен в определенной логической последовательности;
Оценка «4»	- ответ полный и правильный на основании изученных теорий; - материал изложен в определенной логической последовательности, при этом допущены две-три несущественные ошибки, исправленные по требованию преподавателя.
Оценка «3»	- ответ неполный, несвязный.
Оценка «2»	- при ответе обнаружено непонимание студентом основного содержания учебного материала или допущены существенные ошибки, которые студент не смог исправить при наводящих вопросах преподавателя.

Теоретические вопросы

1. По каким причинам наибольшее распространение в ЭВМ получила двоичная система счисления?
2. Какие системы счисления используются в ЭВМ?
3. Изображение числа в прямом коде.
4. Изображение числа в обратном коде.
5. Изображение числа в дополнительном коде.
6. Форма числа с фиксированной запятой, с плавающей запятой.
7. Определите понятие логической переменной и логической функции.
8. Сколько логических функций существует для n логических переменных?
9. Какими свойствами обладают логические функции дизъюнкции, конъюнкции и отрицания?
10. Каким образом представляется логическая функция?
11. Приведите соотношения, отражающие основные законы алгебры логики.
12. Сформулируйте правила образования ДСНФ.
13. Сформулируйте правила образования КСНФ.
14. Какие функционально полные или базисные схемы логических функций вы знаете?
15. С какой целью и как осуществляется преобразование логических выражений?
16. Основные логические элементы и операции И, ИЛИ, НЕ, определения.
17. Логические элементы И-НЕ и ИЛИ-НЕ, условные обозначения в схемах.
18. Методы минимизации логических функций.
19. Триггеры на логических элементах (RS, JK, T, D-триггеры).
20. Триггеры на логических элементах, схемы, таблицы истинности.
21. Классификация двоичных счетчиков.
22. Разрядность счетчиков.
23. Принципы построения счетчиков на сложение и вычитание.
24. Назначение и классификация регистров.
25. Параллельные регистры, схемы, применение.
26. Дешифраторы, назначение, виды.
27. Схемы, условное обозначение дешифраторов в схемах.
28. Шифраторы, назначение, таблица истинности.
29. Схема, условное обозначение шифраторов.
30. Мультиплексоры, назначение, таблица истинности.
31. Демультимплексоры, назначение, таблица истинности.
32. Сумматоры, назначение, таблица истинности.
33. Преобразователи кодов (назначение, принцип работы)

- 34.Распределители: их виды, назначение.
- 35.АЦП и их назначение.
- 36.ЦАП и их назначение.
- 37.Однокристальные микропроцессоры, определение и классификация.
- 38.Цифровые компараторы – назначение, классификация.
- 39.Общая характеристика ЗУ.
- 40.Назначение и режимы работы ОЗУ.
- 41.Назначение и классификация ПЗУ
- 42.Основные определения о микропроцессорах. Назначение и классификация.
43. Чем отличаются цифровые автоматы от комбинационных схем.
44. Какую функцию выполняют триггеры в составе устройств ЭВМ.
- 45.В чем заключается принцип программного управления работой ЭВМ.
- 46.Что включают в себя средства мультимедиа.
- 47.Определите назначение построения микропроцессоров.
48. Определите архитектурные особенности построения микропроцессоров.
- 49.Приведите типовые характеристики современных микропроцессоров.
- 50.Какая иерархия существует в устройствах КЭШ-памяти.

ПРАКТИЧЕСКИЕ ЗАДАНИЯ.

1. Минимизировать функцию при помощи карт Карно.

X1	X2	X3	F(X1, X2, X3)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

2. Минимизировать функцию при помощи карт Карно.

X1	X2	X3	F(X1, X2, X3)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

3. Минимизировать функцию при помощи карт Карно.

X1	X2	X3	F(X1, X2, X3)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

4. Минимизировать функцию при помощи карт Карно.

X1	X2	X3	F(X1, X2, X3)
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1

1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

5. Минимизировать функцию при помощи карт Карно.

X1	X2	X3	F(X1, X2, X3)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

6. Минимизировать функцию при помощи карт Карно.

X1	X2	X3	F(X1, X2, X3)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

7. Перевести числа в прямой, обратный и дополнительный коды. Сложить их в обратном и дополнительном кодах.

$$X = -11010 \quad Y = 1001111$$

8. Перевести числа в прямой, обратный и дополнительный коды. Сложить их в обратном и дополнительном кодах.

$$X = -10110 \quad Y = -111011$$

9. Перевести числа в прямой, обратный и дополнительный коды. Сложить их в обратном и дополнительном кодах.

$$X = -11101 \quad Y = -100110$$

10. Перевести числа в прямой, обратный и дополнительный коды. Сложить их в обратном и дополнительном кодах.

$$X = 1111011 \quad Y = -1001010$$

11. Перевести числа в прямой, обратный и дополнительный коды. Сложить их в обратном и дополнительном кодах.
 $X = 1110100$ $Y = -101101$
12. Перевести числа в прямой, обратный и дополнительный коды. Сложить их в обратном и дополнительном кодах.
 $X = -11011$ $Y = -10101$
13. Перевести числа в прямой, обратный и дополнительный коды. Сложить их в обратном и дополнительном кодах.
 $X = -101101$ $Y = 1001111$
14. Перевести числа из 10-ой в 2-ичную, 8-ричную, 16-ричную системы счисления:
561,25
123
15. Перевести числа из 10-ой в 2-ичную, 8-ричную, 16-ричную системы счисления:
327,75
173
16. Перевести числа из 10-ой в 2-ичную, 8-ричную, 16-ричную системы счисления:
128,25
121
17. Перевести числа из 10-ой в 2-ичную, 8-ричную, 16-ричную системы счисления:
287,75
147
18. Перевести числа в десятичную систему счисления:
 $10011,01_2$
 153_8
 $27E_{16}$
19. Перевести числа в десятичную систему счисления:
 $11101,101_2$
 274_8
 $14D_{16}$
20. Перевести числа в десятичную систему счисления:
 $110011,01_2$
 175_8
 $24A_{16}$
21. Перевести числа в десятичную систему счисления:
 $10101,11_2$

117_8
 $31E_{16}$

22. Перевести числа в десятичную систему счисления:

$1111,111_2$
 131_8
 $37B_{16}$

23. Перевести числа в десятичную систему счисления:

$110001,101_2$
 161_8
 $35C_{16}$

24. Перевести числа в десятичную систему счисления:

$10011,01_2$
 117_8
 $14D_{16}$

Используемые источники, наглядные пособия, оборудование:

Литература

Основная:

1. **Смиян, Е.В.** Схемотехнические решения построения и контроля цифровых устройств: учебное пособие. – Москва: ФГБУ ДПО УМЦ ЖДТ, 2021. – 183 с.
2. **Фролов, В.А.** Цифровая схемотехника: учебник: в 4 частях. Ч.1 – Основы цифровой схемотехники/ В.А. Фролов. — Москва: ФГБУ ДПО «УМЦ ЖДТ», 2022. – 292 с. - Текст: электронный // УМЦ ЖДТ: электронная библиотека. — URL: <http://umczdt.ru/books/41/242200/>
3. **Фролов, В.А.** Цифровая схемотехника: учебник: в 4 частях. Ч.2 – Представление информации в цифровых устройствах / В.А. Фролов. — Москва: ФГБУ ДПО «УМЦ ЖДТ», 2021. – 400 с. - Текст: электронный // УМЦ ЖДТ: электронная библиотека. — URL : <http://umczdt.ru/books/41/242201/>
4. **Фролов, В.А.** Цифровая схемотехника: учебник: в 4 частях. Ч.3 – Арифметическо-логические основы цифровой схемотехники. — Москва: ФГБУ ДПО «УМЦ ЖДТ», 2020. – 600 с. - Текст: электронный // УМЦ ЖДТ: электронная библиотека. — URL : <http://umczdt.ru/books/41/242202/>
5. **Фролов, В.А.** Цифровая схемотехника: учебник: в 4 частях. Ч.4 – Цифровые устройства обработки информации. — Москва: ФГБУ ДПО «УМЦ ЖДТ», 2020. - 516 с. - Текст: электронный // УМЦ ЖДТ: электронная библиотека. — URL : <http://umczdt.ru/books/41/242204/>

Дополнительная:

1. **Миленина, С.А.** Электроника и схемотехника: учебник и практикум для среднего профессионального образования / С. А. Миленина; под редакцией Н. К. Миленина. — 2-е изд., перераб. и доп. — Москва: Издательство Юрайт, 2023. — 270 с. — Текст: электронный // ЭБС Юрайт [сайт]. — URL: <https://urait.ru/bcode/472059>
2. **Миленина, С.А.** Электротехника, электроника и схемотехника: учебник и практикум для среднего профессионального образования / С. А. Миленина, Н. К. Миленин; под редакцией Н. К. Миленина. — 2-е изд., перераб. и доп. — Москва: Издательство Юрайт, 2023. — 406 с. — Текст: электронный // ЭБС Юрайт [сайт]. — URL: <https://urait.ru/bcode/469606>

Количество правильных ответов	Оценка
91 ÷ 100 % – Демонстрация хороших и отличных знаний по теоретическим вопросам (полные и исчерпывающие ответы на два теоретических вопроса) и правильное решение задачи (или частичное решение задачи и правильные ответы на дополнительные вопросы)	5 «отлично»
76 ÷ 90 % – Демонстрация хороших знаний по теоретическим вопросам (полные и исчерпывающие ответы на два теоретических вопроса) и дополнительным вопросам (задача не решена или решена частично)	4 «хорошо»
61 ÷ 75 % – Демонстрация удовлетворительных знаний по теоретическим вопросам (полный и исчерпывающий ответ на один теоретический вопрос), правильное решение задачи и правильные ответы на дополнительные вопросы	3 «удовлетворительно»
менее 60 % – Демонстрация плохих знаний по теоретическим вопросам и правильное решение задачи (или частичное решение задачи и невозможность ответа на дополнительные вопросы)	2 «неудовлетворительно»

